

6. 外部評価概要

- 6.1 外部評価の実施方法
- 6.2 評価結果の概要まとめ
- 6.3 外部評価に対応した施策
- 6.4 まとめ

6.1 外部評価の実施方法

平成16年6月～7月、本COEプロジェクトの中間評価を依頼し、外部評価を実施した。すでに詳細な報告書は提出しているため、ここにはその概要を記載する。

6.1.1 外部評価委員名簿

外部評価委員を以下の表に示す。選考にあたっては専門分野が偏らないように配慮し、それぞれの分野におけるわが国および世界の第一人者に依頼した。国内では学界から3名、産業界から2名の計5名を外部評価委員としてお願いした。国外からは、アメリカから1名、ヨーロッパから1名の計2名（2名とも学界から）に評価を书面でお願いした。

< 評価委員 >

	氏名	所属	役職	分野
国内 大学	石原 宏	東京工業大学大学院総合 理工学研究科	研究科長 ・教授	デバイス・材料
	谷口研二	大阪大学工学研究科 電子情報エネルギー工学専攻	教授	回路・デバイス
	安浦寛人	九州大学システ LSI 研究センター	センター長 ・教授	システム・情報
国内 産業界	森野明彦	株式会社半導体先端テクノロジーズ	代表取締役 社長	LSI 設計
	横山直樹	株式会社富士通研究所ナノテク ロジー研究センター	センター長	デバイス・材料
国外	Kenneth K. O	Univ. of Florida, Dept. Electrical and Computer Engineering, USA	Professor	回路・システム
	Karen Maex	Katholieke Universiteit Leuven, Dept. Electrical Engineering, Belgium	Professor Director	デバイス・プロセス

6.1.2 評価会議実施方法

外部評価会議は広島大学先端物質科学研究棟において評価委員出席のもとで開催し、COEメンバーによる成果報告と評価委員による質疑応答を行った。なお、都合により、7月14日と15日の2回に分けて実施した。なお、国外の評価委員については、スケジュールの都合がつかなかったため、書面のみによる評価をお願いした。また、評価に先立ち評価委員に成果報告書「広島大学21世紀COEプログラムテラビット情報ナノエレクトロニクス成果報告書 Vol.1」（日本語版）、および「Progress Report Vol. 1, 21st Century COE Program Nanoelectronics for Tera-bit Information Processing Hiroshima University」（英語版）と評価アンケート用紙（付録1）を送付し、評価を依頼した。

< 外部評価日程 >

- 6月19日（土） 外部評価アンケート用紙・成果報告書（英語版）送付
- 6月21日（月） 外部評価アンケート用紙・成果報告書（日本語版）送付
- 7月14日（水） 第1回外部評価会議開催（出席：谷口委員、森野委員、横山委員）
- 7月15日（木） 第2回外部評価会議開催（出席：石原委員、安浦委員）
- 7月23日（金） 外部評価アンケート用紙回収締め切り

6.2 評価結果の概要まとめ

項目	評価者							平均
	A	B	C	D	E	F	G	
I 設定目標・計画の適切性								
(1) 研究面								
< 研究プログラム全体 >								
(a) 本研究プログラム全体の設定目標・計画の適切性について	4	4	4	5	5	5	5	4.6
(b) 三次元集積システムを目標とする研究内容の独創性について	3	4	4	5	5	4	5	4.3
(c) 目標が達成された場合の本研究の産業界へのインパクトについて	3	4	4	5	4	5	5	4.3
(d) 目標が達成された場合の本研究の工学的インパクトについて	3	5	5	5	4	5	5	4.6
< 各研究領域 >								
(e) 「回路・システム」研究領域の設定目標・計画の適切性	3	4	3	5	4	5	5	4.1
(f) 「デバイスモデリング」研究領域の設定目標・計画の適切性	4	4	5	5	4	4	5	4.4
(g) 「ナノデバイス・プロセス」研究領域の設定目標・計画の適切性	3	4	4	4	4	4	5	4.0
(h) 上記3研究領域の融合技術の設定目標・計画の適切性	3	4	4	4	4	3	5	3.9
(2) 教育面								
(a) 本プログラム拠点及びそれを中心に設立された「半導体集積科学専攻」の教育目標・計画の適切性	4	5	4	5	5	3	5	4.4
(b) 教育・研究組織に対する将来構想(今後の組織再編構想)について	4	4	5	5	4	3	4	4.1
II これまでの成果について								
(1) 研究面								
< グループ全体 >								
(a) 全体としての研究成果	3	5	5	5	4	5	5	4.6
(b) 全体としての研究目標達成度	3	4	4	5	3	-	3	3.7
(c) 研究成果の産業界へのインパクト	3	4	3	4	3	4	4	3.6
(d) 研究成果の工学的インパクト	3	4	4	4	3	5	5	4.0
(e) 研究学術論文の発表状況	4	5	5	5	4	4	5	4.6
(f) 重要国際会議での発表	4	4	5	5	4	4	5	4.4
(g) 招待講演	4	4	5	3	4	5	5	4.3
(h) 特許出願	4	5	4	3	3	5	5	4.1
(i) 受賞	4	4	5	4	3	4	5	4.1
< 各研究領域 >								
(j) 回路・システムアーキテクチャ研究領域								
(j-1) 目標達成度	3	4	4	5	-	-	3	3.8
(j-2) 産業界へのインパクト	3	4	3	4	4	4	4	3.7
(j-3) 工学的インパクト	3	4	4	5	3	4	4	3.9
(k) デバイスモデリング研究領域								
(k-1) 目標達成度	4	4	5	5	-	-	3	4.2
(k-2) 産業界へのインパクト	4	4	4	5	4	5	5	4.4
(k-3) 工学的インパクト	3	4	5	5	4	4	5	4.3
(l) ナノデバイス・プロセス研究領域								
(l-1) 目標達成度	3	4	4	5	-	-	3	3.8
(l-2) 産業界へのインパクト	3	4	3	4	4	5	4	3.9
(l-3) 工学的インパクト	4	4	4	4	4	5	5	4.3
(2) 教育面								
(a) 半導体集積科学専攻のカリキュラムについて	4	5	4	5	5	-	-	4.6
(b) 毎年10名の博士課程後期学生入学の目標に対する達成度	5	4	4	5	5	-	-	4.6
(c) 学生の国際会議発表について	4	4	5	4	-	-	-	4.3
(d) 学生の受賞について	4	4	4	3	-	4	5	4.0
(e) 全体として当専攻における博士課程教育の充実度について	4	3	3	4	5	4	5	4.0

(段階5が最高値)

この表より以下のことが読み取れます。

- ① 設定目標・計画については、全体としては適切であるとの評価を頂いた。しかし、研究領域によって差がある。
- ② 「回路・システムアーキテクチャ」、「デバイスモデリング」、および「ナノデバイス・プロセス」の3つの研究領域の融合技術に対しては、設定目標・計画、および研究成果ともに、相対的に低い評価であった。今後3研究領域の融合を加速して行く必要がある。
- ③ これまでの研究成果については、全体としては良い評価を頂いた。しかし、特に産業界へのインパクトについては、「デバイスモデリング」研究グループに比べ他の研究グループの評価が低かった。これは、研究成果が出てから産業界に実際に貢献するまでにかかる時間が、研究分野によって異なることによるものと考えられます。
- ④ 教育面では、学生の受賞に対する評価が相対的に低い結果になりました。

6.3 外部評価に対応した施策

6.3.1 外部評価を受けて

評価結果については、外部評価委員より3つの研究領域の融合が不十分であり、またその具体的なイメージが不明確とのご意見をいただいた。現状成果の目標到達度については、一部質問の意味があいまいであったため、質疑回答が往復した部分もあったが、概ね順調に研究が進んでいるとの評価をいただいた。

また、産業界への貢献につきましては、「普通」から「十分大きい」という判定まで、評価委員によって、また研究分野によって評価が分かれているが、平均的には、ほぼ「大きい」との結果になっている。評価の差が大きかったのは、研究成果が出てから産業界に実際に貢献するまでにかかる時間が、研究分野によって異なることや、評価委員によって、「貢献」に対する評価基準が異なるためと考えらる。博士課程後期の学生に対する教育方法には、今ひとつ工夫が必要との評価をいただいた。今後、個々に指摘された問題点をよく検討し、具体的な施策を講じていきたい。

この外部評価の結果を踏まえて、本 COE プログラムが、情報化社会の中核である半導体・回路・システム技術の、我が国のみならず世界的な研究開発拠点となるよう努力を続けていく所存であることを表明した。

6.3.2 外部評価に対応した具体的施策

評価委員のコメントの中で、改善を要する主要な指摘事項をまとめると次のようになる。

<改善を要する主要な指摘事項>

1. テラビット情報ナノエレクトロニクス目標とするターゲットが不明確である。
2. 「回路・システムアーキテクチャ」、「デバイスモデリング」、および「ナノデバイス・プロセス」の3つの研究領域の融合技術の具体性、および成果が不十分である。
3. 研究成果の産業界へのインパクトが（他の評価項目に比べて）相対的に低い。
4. 招待講演、受賞については、もっと増やす必要がある。
5. 博士課程後期学生の教育については、COE としての取り組みが必要である。

これらに対する回答（具体的施策および説明）を以下に示す。

<回答>

指摘事項1：本プログラム「テラビット情報ナノエレクトロニクス」の目標が不明確である。

回答：

本研究の到達目標を具体的に記述すると以下のようになります。

1. テラビット情報処理三次元集積システム (3DCSS) の基盤技術の開発
2種の無線方式(インダクションカップルおよび電磁波伝送)によるテラビット (Tbps: Tera-bit per second) の・チップ間通信能力を実現する3DCSS技術による通信プロトタイプ的设计・試作・評価により Tbps 通信性能を実証する。
2. 3DCSS を応用した高度な学習・認識システム基盤技術の開発
人間より高速なマルチオブジェクト認識システムのアーキテクチャ基盤技術を確立する試作チップを用いたプロトタイプでテラビット情報処理の原理的実証を行う。
3. HiSIM モデル：国際標準化貢献と回路とデバイス技術の進展
4. 微細デバイス技術：テラビット情報処理能力実現のために超高速動作デバイスの基盤技術を確立する。

テラビット情報(処理)の定義

高並列処理による Tops (Tera-operation per second) の情報処理能力と並列情報転送による Tbps(Tera-bit per second) の転送能力とを合わせて持つシステムであり、人間の脳より高速な画像情報処理機能の実現を目指す。

三次元集積システムで目標とする数値

並列情報処理能力 1 Tops= 1 Gops x 1000 Proc. ~ 10 Gops x 100 Proc.

並列情報転送能力 1 Tbps= 1 Gbps x 100 CH x 10 chip ~ 10 Gbps x 10 CH x 10 chip

指摘事項2. 「回路・システムアーキテクチャ」、「デバイスモデリング」、および「ナノデバイス・プロセス」の3つの研究領域の融合技術の具体性、および成果が不十分である。

回答：

図 6.1 に、研究領域間の協力関係と、指摘事項1の回答に挙げたゴールに向けた年次スケジュールを示す。それぞれの研究領域が協力して、テラビット情報処理*三次元集積システム(3DCSS)の基盤技術を開発していく。今後、融合技術開発を加速するよう努力していく所存である。

(a) 回路・システムアーキテクチャ研究領域とデバイスモデリング研究領域との融合

(a-1) 2004年度の共同研究実績

(1) RF CMOS デバイスおよびRF回路のテストチップの設計・試作・評価

- ・0.18 μm CMOS 技術を用いて NMOS, PMOS デバイス, VCO 回路を搭載.
- ・DC 入出力特性, RFプローブによる Sパラメータ測定を実施.
- ・VCO の $f-V$ 特性, 位相雑音特性の測定を実施.

(2) HiSIM モデルパラメータの抽出

- ・DC 入出力特性, RFプローブによる Sパラメータ測定結果から, パラメータを抽出,
- ・VCO 回路でモデルの特性を評価し, 周波数特性, 雑音特性の評価

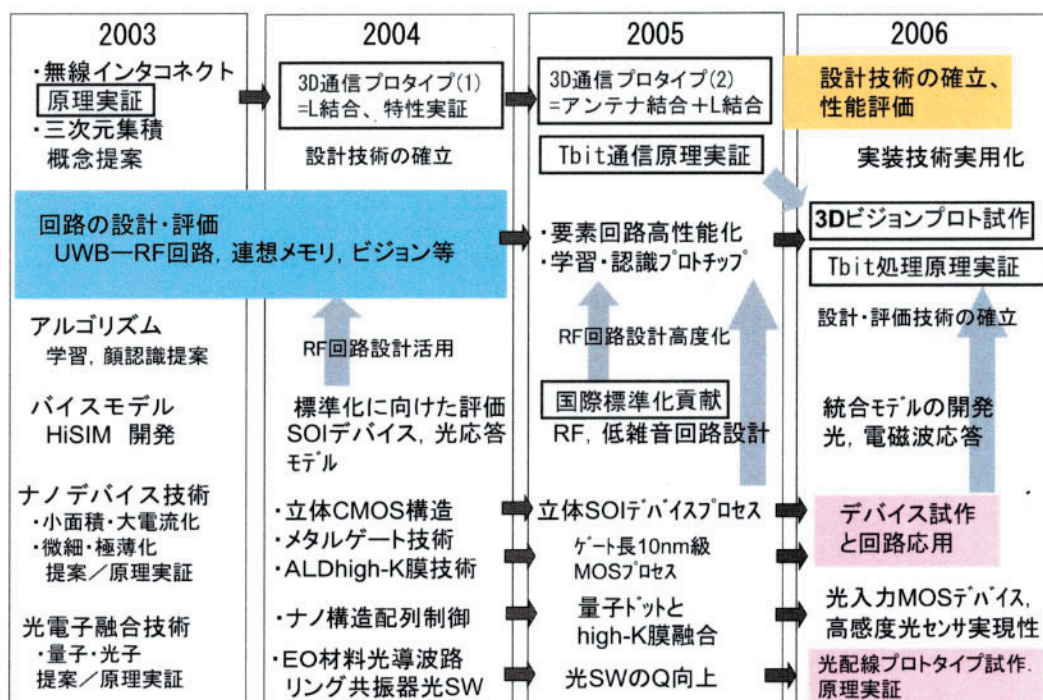


図 6.1 研究領域間の協力関係とスケジュール

(3) 回路シミュレーション環境の構築

- 回路シミュレータ (SPICE3) に最新の高周波対応の HiSIM モデルと測定した $0.18\mu\text{m}$ CMOS パラメータを組み込み、ユーザインタフェース (回路スキマチックエディター, 結果ビューアー) を結合した。
- VCO の設計, 試作, 評価により, 1 GHz 以上の周波数領域における, シミュレーション精度を確認中である。

(a-2) 今後の計画

- テストチップの RF 回路の設計に適用して、モデルの優位性を実証
- より高周波化のために課題の明確化

(b) 回路・システムアーキテクチャ研究領域とナノデバイス・プロセス研究領域との融合

(b-1) 2004 年度の共同研究実績

(1) 無線インタコネクションを導入した三次元集積技術の研究

デバイス・プロセス領域の吉川グループで集積化アンテナを用いた電磁波によるチップ間インタコネクション技術を研究し, 回路領域の岩田グループでスパイラルインダクターを用いた電磁結合によるチップ間インタコネクション技術を研究した。相互に情報を交換しながら, 各技術の位置づけ・使い分け方を明確化した。前者はシステム全体にわたるグローバルな情報の通信に用い、後者はシステムの局部の情報を並列に転送するのに用いることにより、三次元の大規模集積システムの処理性能のデータ転送ネックを解消できる。

(2) 無線インタコネクション技術を組み合わせた新しい三次元集積システムの提案と原理実証

これらの 2 種類の相補的な無線インタコネクション技術を組み合わせることにより, 新しい三次元集積システムの提案した。これらの原理的な実証を行い、全体でテラビットの情報転送ができる可能性を示した。これらの成果は両グループ連名で 2005 年 2 月の国際個

体会議 (ISSC) にて発表する. Paper Number. 14.4, A. Iwata et.al., "A 3D Integration Scheme utilizing Wireless Interconnections for Implementing Hyper Brains"

(b-2) 今後の計画

- ・2004年度に提案した三次元集積技術を実証するために、階層的な視覚処理機能を持ったハイパーブレインのテストチップを回路・アーキテクチャ研究領域とナノデバイス・プロセス研究領域共同で、設計・試作する。

(c) デバイスマデリング研究領域とナノデバイス・プロセス研究領域との融合

(c-1)2004年度の共同研究実績：高速フォトディテクタの開発

- ・Si, SiGe を用いた高速フォトディテクタの設計、製作、特性解析 -- 三浦グループと横山グループとの共同研究実施中
- ・p-i-n フォトダイオードの解析モデルを開発

(c-2) 今後の計画

(1) 高速フォトディテクタの開発

- ・Si, SiGe を用いた高速フォトディテクタの高速化、高集積化

(2) 光電子集積回路 (OEIC) の開発

- ・回路シミュレータの開発および OEIC の試作・評価

(3) 立体 MOS トランジスタの開発

- ・HiSIM-SOI を開発し、SOI 基板を用いた立体 MOS トランジスタの設計に適用
- ・デバイス特性から HiSIM モデルのパラメータを抽出し、立体 MOS トランジスタの回路レベルでの実用化への道筋をつける

指摘事項 3. 研究成果の産業界へのインパクトに対する評価が (他の評価項目に比べて) 相対的に低い。

回答：

研究成果が得られてから産業界に実際に貢献するまでに要する時間は、研究分野によって異なることや、評価委員によって、「貢献」に対する評価基準が異なるためと考えらる。

大学における研究として、産業のシーズになる研究を推し進めると同時に、民間企業との共同研究を活発に行うことによって、革新的な集積技術の一部を切り出して産業界ですぐに役立つ研究成果として社会貢献を活発に進める。具体的には 3DCSS の積層実現技術、微細デバイス技術の企業への導入などを想定している。

指摘事項 4. 招待講演、受賞をもっと増やす必要がある。

回答：

特徴ある良い研究成果を出すことによって、招待講演、受賞が増大していくのは、もちろんであるが、専門的な国際会議などでは主要メンバーとして会議をオーガナイズ・リードするポジションを得て、研究成果の広報活動にも力をいれていきたいと考える。

無線インタコネクションと微細デバイスを集積回路に導入する技術に関する国際ワークショップリーダーシップを定着させていきたいと思う。

指摘事項5. 博士課程後期学生の教育については、COE としての取り組みが必要である。

回答：

以下のような案を検討中です。

1. 博士課程後期学生の国際会議発表や海外との共同研究に対して、COE として旅費・研究費を支給し、国際会議発表、海外との共同研究を促進する。
2. 博士課程後期学生主催による研究会を実施する。
3. 成果の優秀な学生に対して、賞を設け、研究を促進させる。

6.4 まとめ

本 COE プログラムでは、「回路・システムアーキテクチャ」、「デバイスモデリング」および「ナノデバイス・プロセス」の3つの研究領域を融合したユニークな研究目標を掲げて研究を遂行してきた。過去2年間の COE の補助により、多数の研究員を採用することができ、研究は大きく前進した。しかしながら、まだ、十分に融合した技術が創出されたとは言いがたいとの評価を頂いた。また、教育に関しても、COE 独自の工夫が必要とのご指摘を頂いた。その他、さまざまな項目で、たいへん有意義なご評価を頂いた。これらの指摘事項に対して、適切な施策を講ずることにより、本研究拠点が、LSI の分野において世界をリードする研究拠点となるべく、今後とも努力を続ける所存である。
