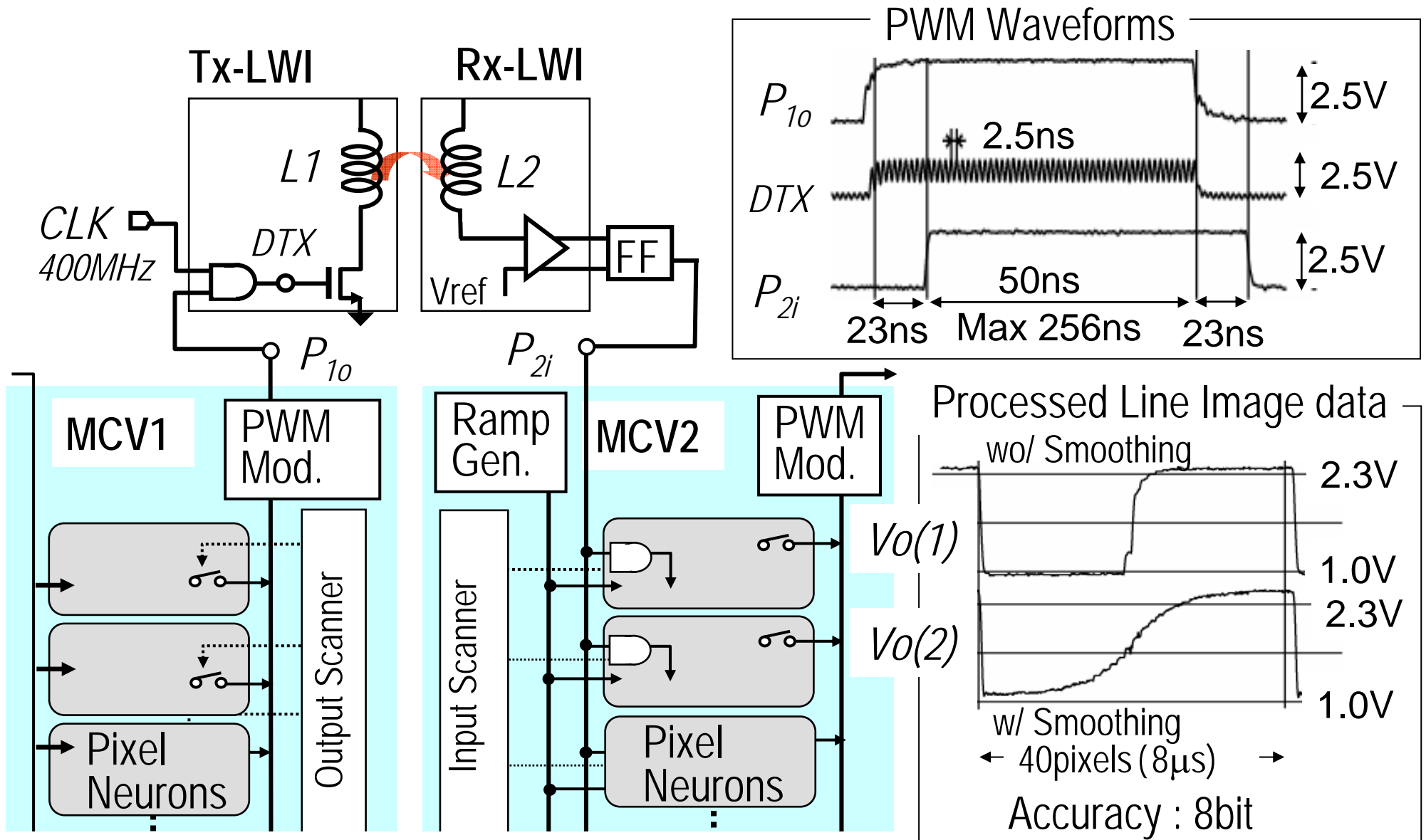
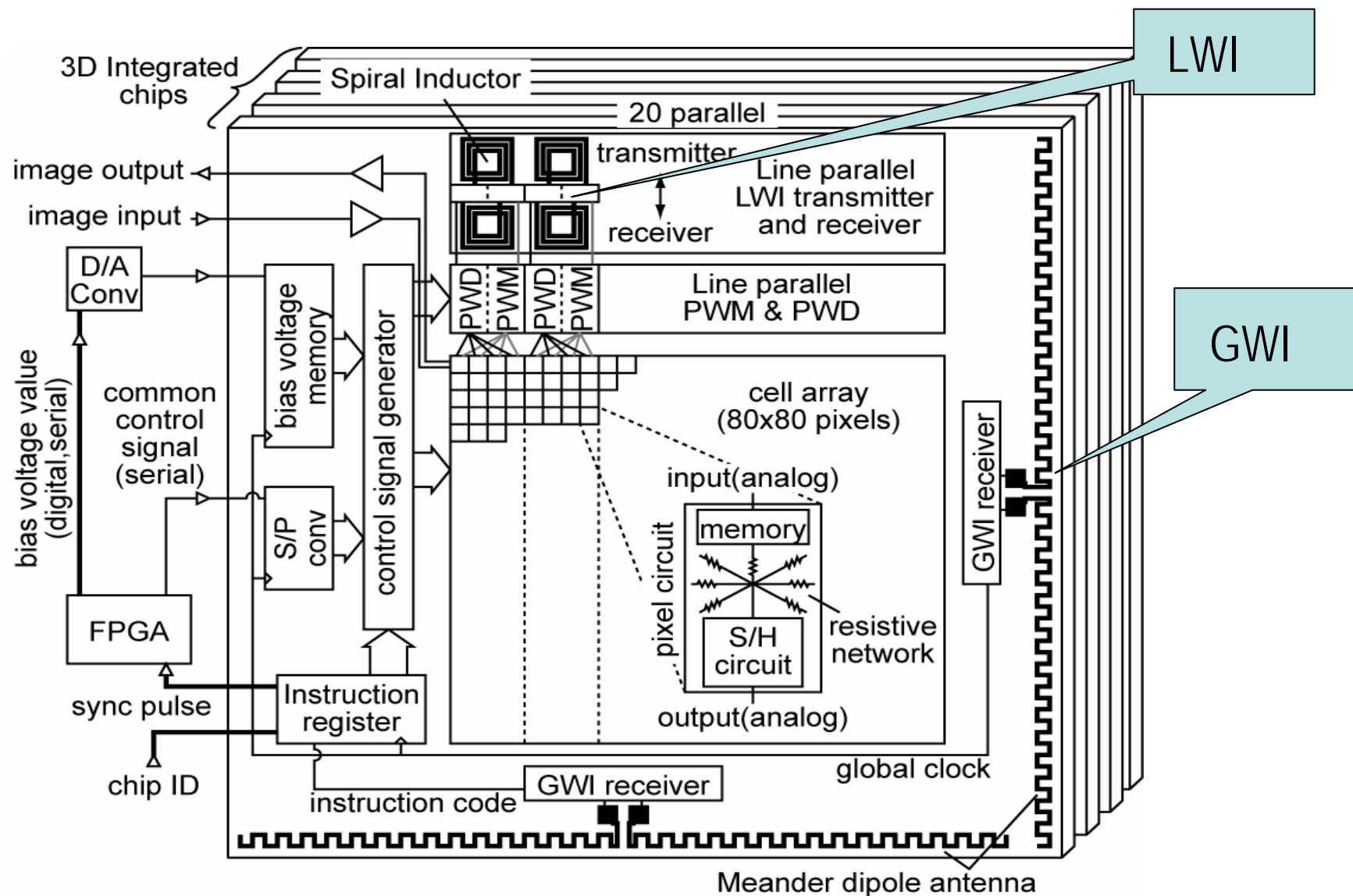


三次元集積プロトタイプの試作評価

LWIを用いたマルチチップビジョンの実験

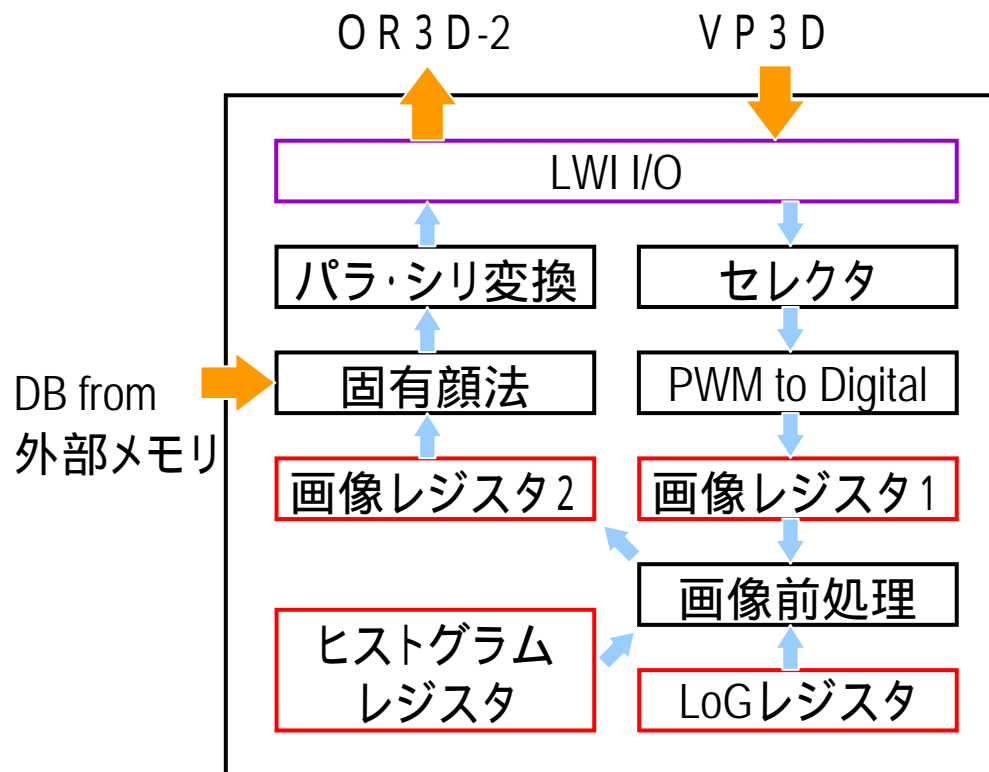


三次元集積による画像処理チップ (VP3D)



三次元集積による画像処理チップ(OR3D)

オブジェクト検出, 認識チップ OR3D



仕様

画素サイズ	32x32
画素データ	8bit グレースケール
画像データ入力	LWIもしくはカメラ
画像前処理	ヒストグラム平坦化 LoG (5x5) ヒストグラム調整
認識アルゴリズム	固有顔法
処理速度	100ms以下 1:100認証で
データベース	オフチップ

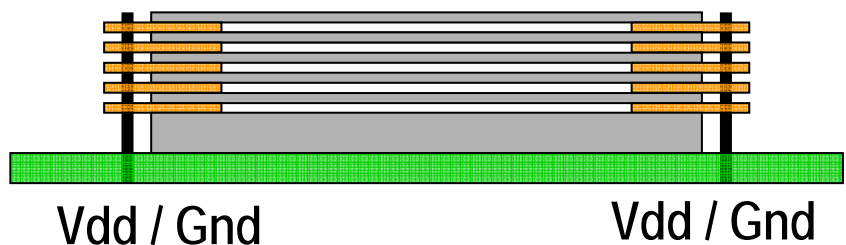
基本処理

- 画像データ入力
- PWM to Digital変換(PDC)
- 画像前処理
- 固有顔法
- 認識結果出力

メモリサイズ

画像レジスタ1 & 2	: 8bit, 32x32 words
ヒストグラムレジスタ	: 6bit, 256 words
LoGレジスタ	: 12bit, 5x5 words

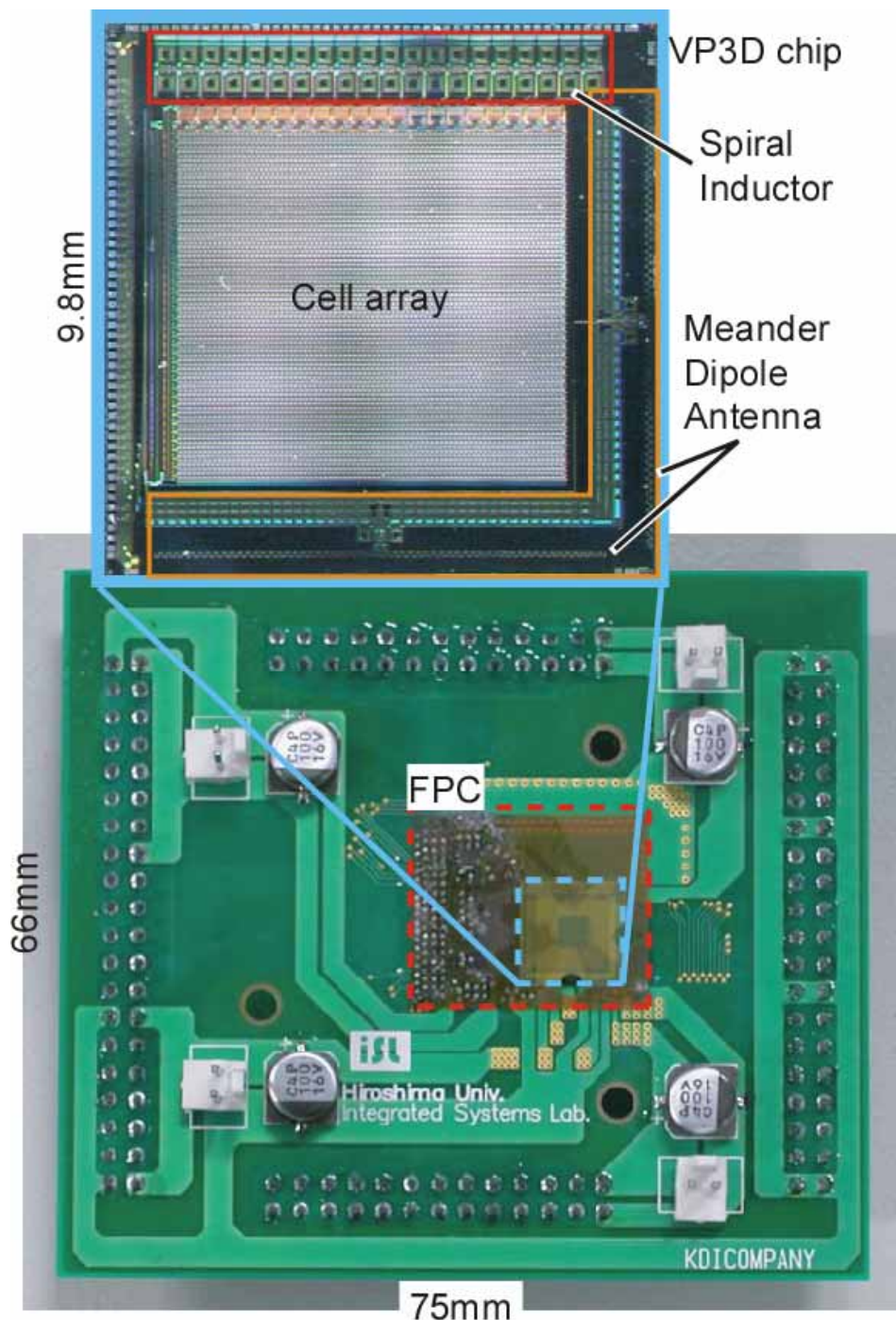
3DCSSプロトタイプ 画像処理システム



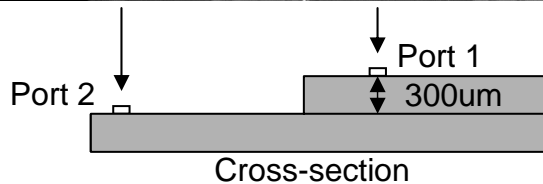
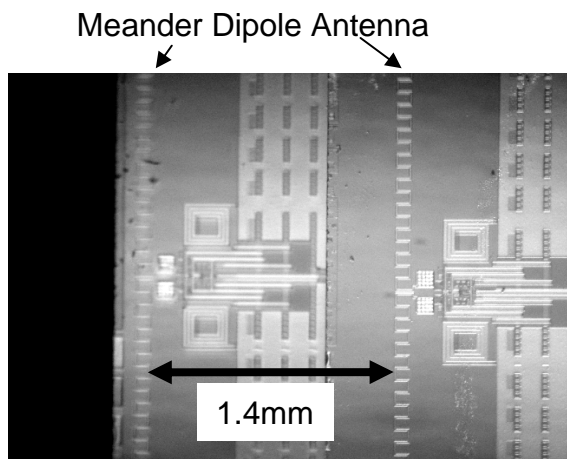
Parameters

Lant= 2-4 mm, Lind= 50 - 200 μ m
No. of Chips= 10-100
tchip= 50 - 100 μ m

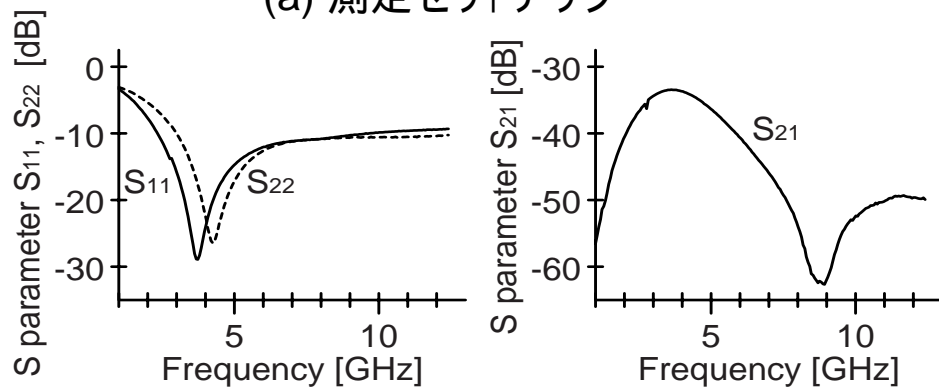
国際会議投稿予定



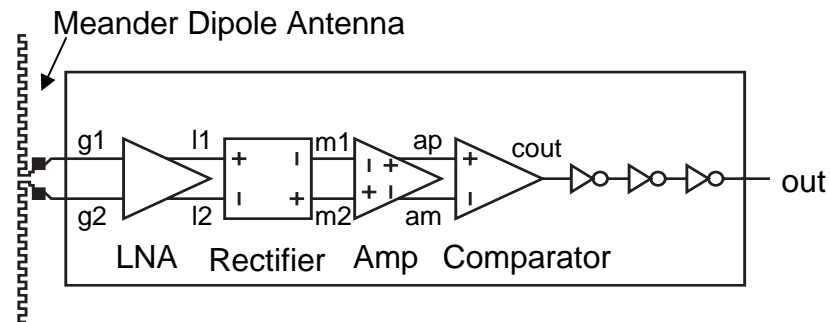
グローバル無線インタコネク (GWI) テストチップ



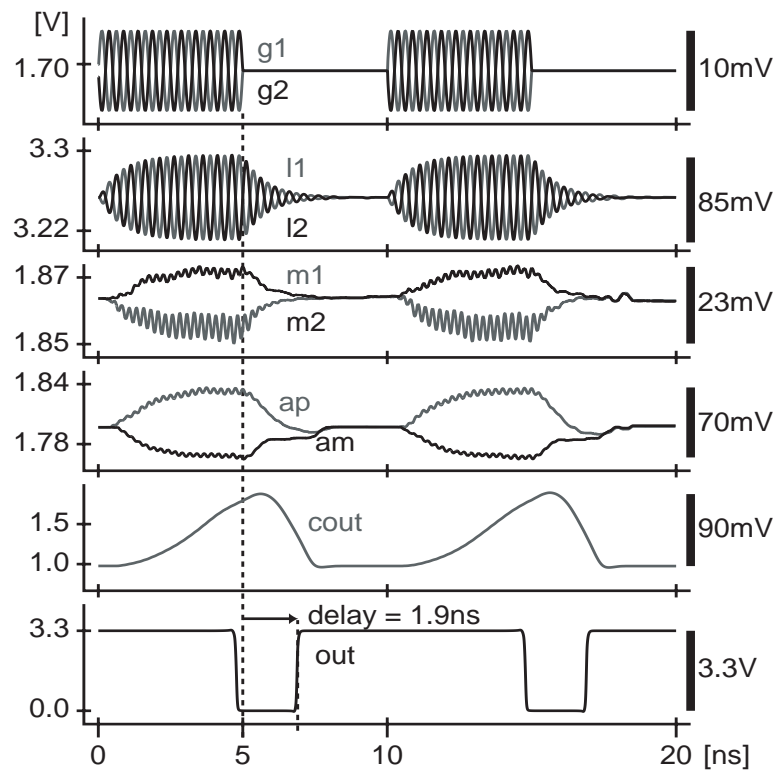
(a) 測定セットアップ



(b) ダイポールアンテナの実測特性



(c) GWI 受信機のブロック図



(d) GWI 受信波形

三次元集積技術 (3DCSS) で画像処理に成功

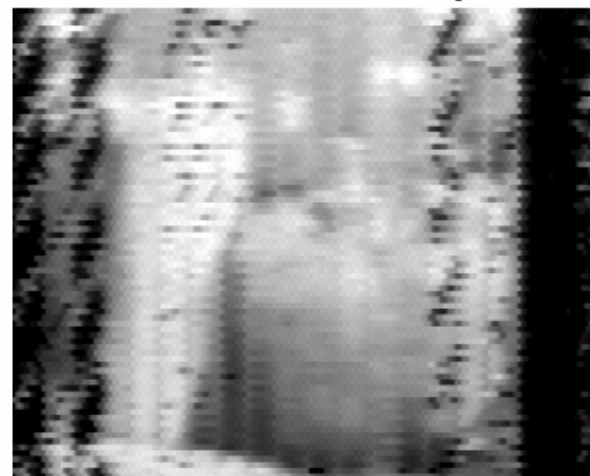
送信側画像

受信側画像

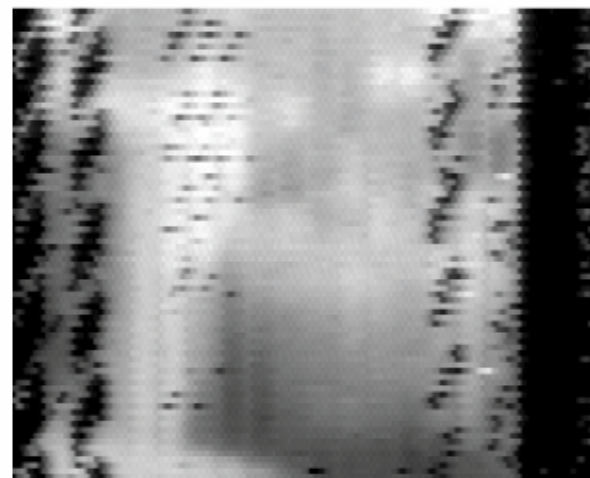
入力画像



80 x 80 pixels
Hexagonal grid



スムージングなし



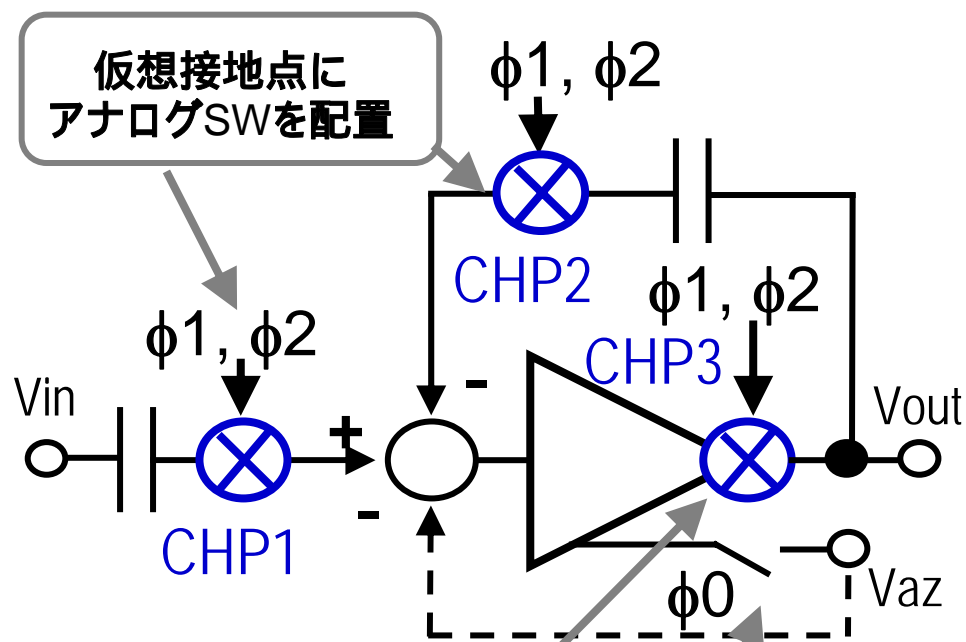
スムージングあり

国際会議投稿予定

低電圧動作・低雑音増幅回路

特性: 1V電源動作・50nV低雑音特性

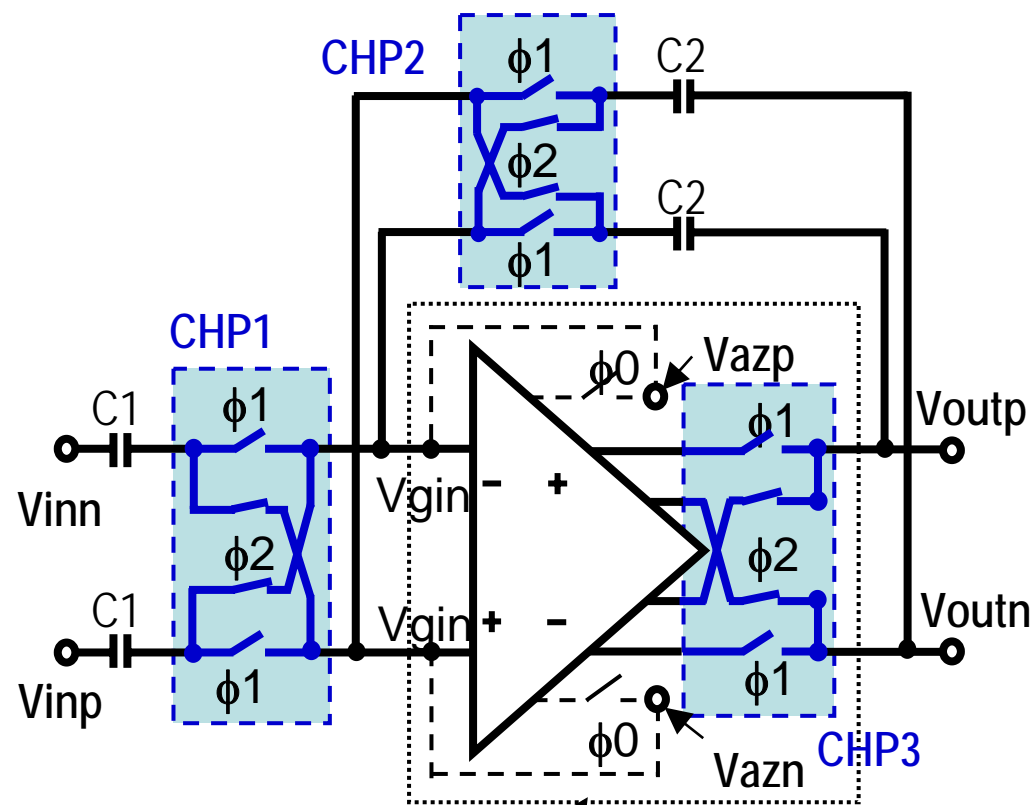
考案技術: グランデッドスイッチによるチョッパ, オートゼロの考案



仮想接地点に
アナログSWを配置

スイッチトオペアンプの
出力段切り替えにより
チョッピング動作実現

グランデッドSWを用いた多出力スイッチト
オペアンプによるオートゼロの実現



全差動4出力スイッチトオペアンプ

国際会議発表: Symposium on VLSI Circuits 2005