



低抵抗電極/高誘電率絶縁膜積層構造とデバイス応用

大学院先端物質科学研究科 半導体集積科学専攻
助手

村上 秀 樹

e-mailアドレス hideki@hiroshima-u.ac.jp

Homepageアドレス <http://home.hiroshima-u.ac.jp/semicon/>

情報処理の高速化・大容量化・低消費電力化と情報通信機器のパーソナル化への要求に応えるために、半導体デバイス技術、特にMOSトランジスタにおいては、従来のスケーリングを具現化するために、新材料を導入する必要に迫られています。そこで、われわれは、ゲート電極材料、ゲート絶縁膜材料およびそれらの整合性に関する研究を行っています。

従来、シリコンMOSデバイスの微細化は、スケーリング則に従って、ゲートSiO₂膜を薄膜化することで推進されて来ました。シリコンテクノロジーロードマップ上では、2005年に実用化が期待されているチャンネル長70nmのCMOSデバイスには、シリコン酸化膜(SiO₂)換算で厚さ1.5nm(約7分子層)以下の高信頼ゲート絶縁膜が要求されています。SiO₂膜では、厚さ3nm以下になると直接トンネル伝導によるリーク電流が顕在化(約0.2nmの薄膜化を進めるとゲートリーク電流は一桁増大する)するため、消費電力の観点から、シリコン酸化膜をゲート絶縁膜に利用できる実用レベルでの薄膜化限界は約1.5nmと予測されています。従って、チャンネル長70nm以降の微細化に向け、実効膜厚を厚く設定できる高誘電率絶縁膜の実用化が急務となります。そのためには、高誘電率絶縁膜および界面の化学的・熱的安定性に優れ、酸素拡散係数が十分小さく、熱処理工程で基板界面に低誘電率層(シリコン酸化層等)が形成されない材料・プロセス技術を確立する必要があります。

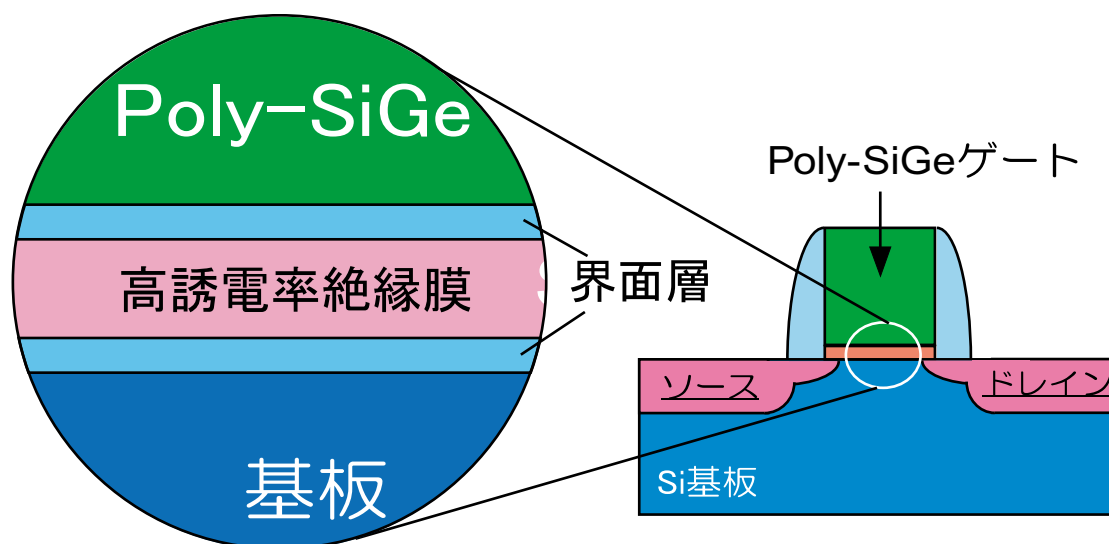
また、ゲート絶縁膜の薄膜化に伴い、ゲートリーク電流が増大し、さらに、ゲートのキャリアの空乏化により、ゲート電極における電圧降下が無視できなくなります。その結果、ゲート絶縁膜にかかる電圧が減少し、トランジスタパフォーマンスが低下することが問題となります。この解決方法として、より低抵抗なゲート電極材料の研究が行われています。ゲート電極材料としてメタルを用いると、抵抗の観点からは、ゲート電極として理想的ですが、仕事関数の制御が困難であり、ゲート絶縁膜、層間膜との整合性などの問題があります。そこで、シリコン系材料との整合性がよいPoly-SiにGeをドーブしたPoly-SiGe(シリコンゲルマニウム)ゲート電極用いれば、不純物を変えることで、仕事関数の制御可能であり、Metalの問題点を克服できます。このシリコンゲルマニウム電極を実用化するためには、高誘電率膜との界面反応制御、ゲルマニウム分布制御および不純物分布制御が必要不可欠



となります。

チャンネル長30-70nmのMOSFET世代に対応できるゲート絶縁膜・ゲート電極エンジニアリングを推進するために、以下の4項目で研究を実施・展開しようと考えています。

1. 高誘電率絶縁膜との反応性および仕事関数の観点からゲート電極材料を探索する。
2. 多結晶シリコンゲルマニウム（および金属）/高誘電率絶縁膜接合および高誘電率絶縁膜/シリコンヘテロ接合における界面反応（および原子拡散）抑止技術を確立する。
3. 金属（および多結晶シリコン）/高誘電率ゲート絶縁膜/シリコンMIS構造において、欠陥準位密度分布およびリーク伝導メカニズムを明かにすると共にゲート絶縁膜信頼性を調べる。
4. 上記の評価結果に基づいて、チャンネル長30-100nmの多結晶シリコンゲルマニウム（および金属）/高誘電率ゲート絶縁膜/シリコンMISトランジスタを試作し、高誘電率ゲート絶縁膜利用の有効性をデバイスレベルで示す。



MOSトランジスタの構造とゲート絶縁膜/ゲート電極（Poly-SiGe）積層構造。界面に界面層が形成され、期待した効果が得られなくなるので、界面層形成を抑制する必要がある。