

No.6

Jan. 2004

CENTER NEWS

広島大学 ナノデバイス・システム研究センター

21世紀COE「テラビット情報
ナノエレクトロニクス」の現状
センター長・先端物質科学研究科教授 岩田 穆

COEの目的 2002年に広島大学ナノデバイス・システム研究センターを中核として選定された21世紀COE「テラビット情報ナノエレクトロニクス」では、これまでに達成した世界レベルの研究成果を進展させて半導体エレクトロニクスにおける世界レベルの研究教育拠点の形成に努めています。拠点の特色は、回路・システムアーキテクチャ領域、デバイスモデリング領域ナノデバイス・プロセス領域の3領域を設定し、各領域の技術を融合させることで、これにより新しい学問領域を形成し、革新的技術を開発するとともに、有能な人材育成を達成します。

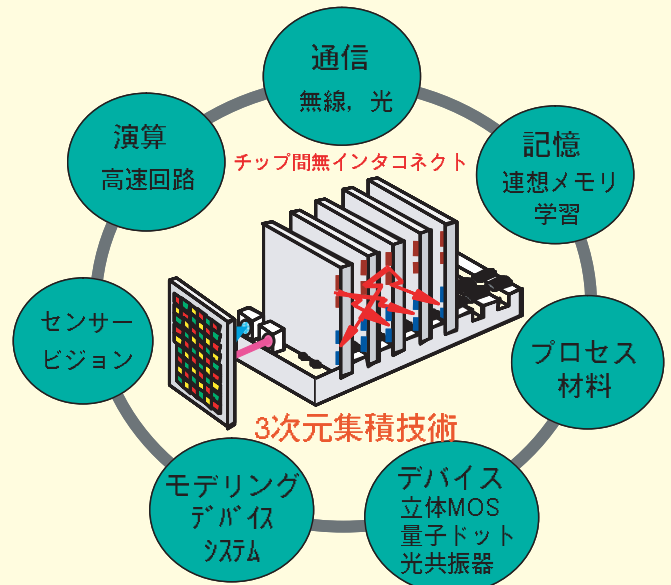
研究推進 技術領域の融合を目指して、MOSデバイスモデルとRF回路設計、半導体中の電磁波伝播とデバイス研究など、グループ間の共同研究を進めています。連想メモリを用いた画像認識処理、無線を活用したビジョンアーキテクチャなどのシステムの研究も開始しています。また、立体MOS、量子ドットメモリ、光共振器などの先進的なデバイスの研究も開始しています。

研究者と教育組織 公募によりCOE研究員を募集し9名(外国人3名)を採用し、COEの中核となるテーマを推進させています。COE研究員の優れた研究提案に対しては最高500万円/年の研究費を支給しました。また、博士課程学生6名をCOE研究員として採用し、人材育成研究を進めています。また、2004年4月に先端物質科学研究科に「半導体集積科学専攻」を新設することが決まっています。RCNSの全スタッフが加わり、COEの教育理念に沿った教育プログラムを企画、実践していきます。

情報発信 2003年3月17日に第1回のCOE国際ワークショップを開催しました。内外から5件の招待講

演、COEからポスター発表18件を行い、参加者は大学45名、産業界13名であり、COEからの情報発信と研究交流が進みました。

今後、COEの形成を加速していきますので、ご支援、ご指導をお願いいたします。

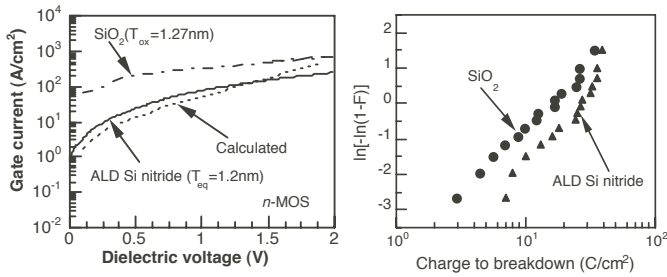


原子層成長 Si 窒化膜ゲート絶縁膜
- IEDM2003 で発表 -

パソコンなどの超LSI(高密度集積回路)に使われる素子のゲート絶縁膜の新しい形成方法を開発しました。その結果、LSI素子の消費電力を1桁程度低減し、寿命を2倍以上改善する事に成功しました。その研究成果を米国ワシントンで開催された、2003年国際電子素子学会(IEDM:12/8-12/10)において発表しました。今回新しく開発したのは、原子層堆積法という特殊な方法で形成したSi窒化膜です。この絶縁膜を用いると、ノートパソコンや携帯電話の消費電力を小さくでき、長時間の高速動作が可能にできます(詳細は次ページ参照)。

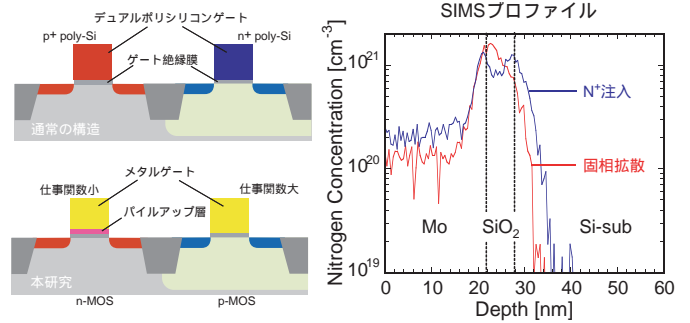
センター研究紹介

原子層成長 Si 窒化膜ゲート絶縁膜



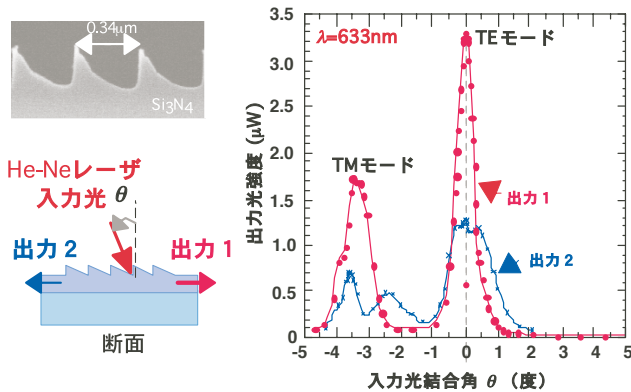
ゲート絶縁膜が、薄いほど低電力、高速動作する小さなトランジスタができます。しかし、最近のトランジスタの超微細化に伴って、ゲート絶縁膜があまりに薄いために漏れ電流が大きくなり、消費電力が増加するとともにトランジスタの寿命が短くなることが大きな問題となっていました。今回、原子層堆積法という特殊な方法で形成したSi窒化膜をゲート絶縁膜に用いることにより、従来のゲート絶縁膜 (SiO₂) に比べて、漏れ電流を1桁程度小さくし、寿命を改善することに成功しました。この研究成果は、2003年IEDMにおいて発表しました。我々はこれまで同様の方法で、Si窒化膜をSiO₂上に積み重ねる事により、SiO₂ゲート絶縁膜(約10年)に比べて約1桁程度寿命を長くできる事を発表しています(2001年IEDM)。今回はSi窒化膜を単独で用いました。

メタルゲート MOSFET 実用化のための仕事関数変調法の研究



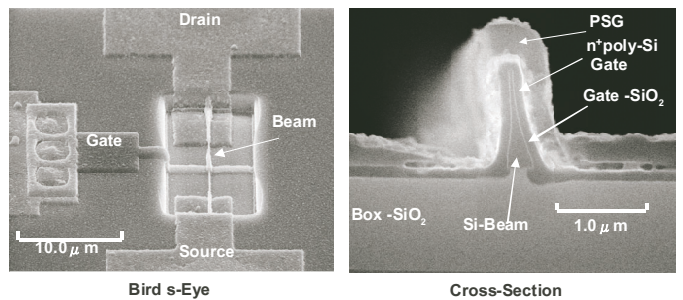
現在の集積回路に使われるMOSFETのゲート電極ではデュアルポリシリコン構造(図1)でp型、n型双方に適した仕事関数を得ています。しかしトランジスタの微細化と共にゲート空乏化という問題が発生し、ポリシリコンのメタルへの置き換えが望まれています。我々はMoに窒素を導入する手法で仕事関数を変調する手法を研究しており、ゲート絶縁膜を挟む上下の界面の内、図2の固相拡散法のように上方のMoとの界面にのみ窒素のパイルアップを形成することで、特性劣化の無い仕事関数変調が可能であることを明らかにしました。Mo以外の材料についても研究を進めており、トランジスタ試作を通し手法の有効性を評価する予定です。

非対称グレーティングカプラの開発



金属配線より高速な配線技術として、LSI内に光配線を導入する方法を研究をしています。LSI内への光入力方法として、グレーティングカプラが有効と考えられます。この方法は、結合面積を広くとれるので、パワー密度の低い発光ダイオードでも導入パワーを大きくできます。従来は矩形の対称グレーティングカプラが用いられていましたが、光が左右に等分配されるため強度が半減する欠点がありました。本研究では鋸波状のグレーティングを電子ビーム露光法によって形成する新しい方法を開発し、一方向に優先的に光を導くことに成功しました。右に進む光強度は左に比べ約3倍になっています。

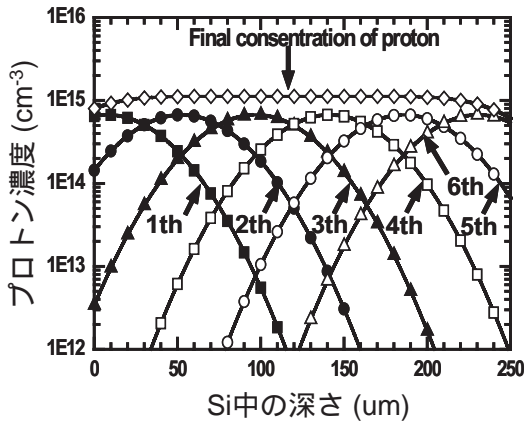
三次元ビームチャネルトランジスタ BCT



微細化トランジスタの性能向上が十分には見込めなくなり、平面から立体化へ移行する研究が盛んに行われています。そのほとんどは50nmと低いフィンを用いていますが、本研究では高さ1000nm、幅40nmのビーム(梁)を用いてゲート長200nmのトランジスタの試作・動作に成功しました。同面積の平面トランジスタの10倍以上の駆動能力が期待でき、パワートランジスタの集積化、低コスト化に有利です。一方、このように縦横比の大きなトランジスタ構造では、ゲート加工、ソース・ドレイン形成、電極接続などが大きな課題であり、それぞれに新しい技術を開発しています。

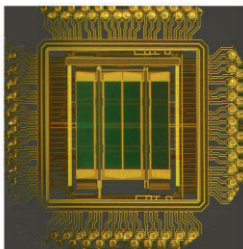
センター研究紹介

集積化アンテナによるシリコンチップ内電磁波伝送



ULSI 動作周波数の限界に挑戦するため、集積化アンテナによるシリコンチップ内電磁波伝送の研究を行っています。シリコン基板は約10 cmの抵抗率を持っているため電磁波伝送には大きな損失が生じます。これを解決するために高エネルギーのプロトン注入を行い、アンテナ伝送損失が約20dB(100倍)改善されることを実証しました。この成果はIEEE-Electron Devices LettersとSSDM2003で発表いたしました。

高並列プロセッサ用命令/データ統合型マルチポートキャッシュメモリの開発



2.8mm角テストチップ

使用テクノロジー	HITACHI180nmCMOS
配線層数	5層 AI 配線
電源電圧	1.8V
ポート数	4 ポート
データ容量	32 Kbit
バンク数	16 バンク
ワード幅	16 bit
サイクル時間	約 2.5 nsec

近年、スーパーコンピュータから家庭用PCに至るまで、高度な並列処理が要求されており、この要求を満たすには、高性能な多ポートキャッシュメモリの開発が重要となっています。そこで、我々はバンク構造を利用した、非常に面積効率の高い多ポートメモリを用いてキャッシュを構成するという提案をしています。更にキャッシュが多ポート化されることで、従来は分割されていた命令、データの2つのキャッシュを1つに統合することも可能となり、キャッシュ容量をより柔軟にかつ有効に使用することができるという結果を得ました。現在は、テストチップ試作・評価を行い、そのアーキテクチャの有効性を確認しています。

低消費電力デジタル画像分割アーキテクチャ

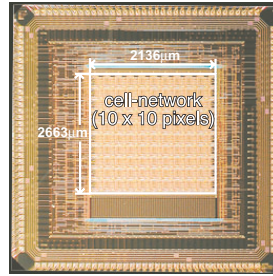
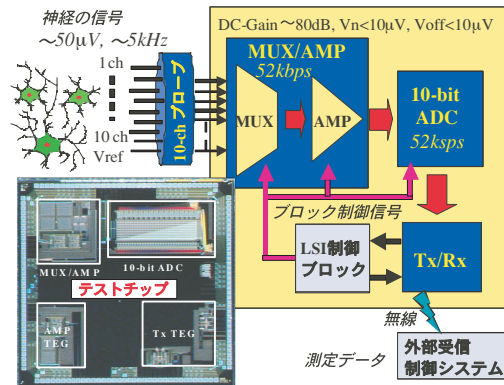


表: Boundary-Active-Only (BAO) を用いた場合での消費電力比較 (0.35μm 3層配線CMOS技術、動作周波数 10MHz)

	BAOあり	BAOなし	削減率
平均値	24.4mW@10MHz	5.80mW@10MHz	76.2%
ワーストケース	30.9mW@10MHz	6.81mW@10MHz	78.0%

画像認識や動き検出に代表されるオブジェクトベースの知能情報処理においては、画像分割(Image Segmentation)は重要かつ不可欠な前処理です。我々は領域成長型の新しい画像分割アルゴリズムとデジタル回路で実現可能なセルネットワークベースのLSIアーキテクチャを提案しています。更に、提案アーキテクチャに、領域成長型アルゴリズムの特性である“動作すべき画像分割セルは領域成長のバウンダリ部分のみ”ということを利用して低消費電力技術 Boundary-Active-Only (BAO) を導入することによって、導入前に対して約75%以上の消費電力の削減することが可能になりました。これによりバッテリー動作の携帯端末への応用が期待できます。

多チャンネル神経情報センシング L S I



チョッパ安定化アンプを用いた多チャンネルの神経情報センシングLSIを開発しました。図に示すように神経信号のセンシングプローブ、信号のマルチプレクサー、低ノイズ増幅器、AD変換器、無線送信器からなります。神経信号は非常に微弱であり、電圧振幅は数10μV、周波数帯域はkHz程度です。これを増幅するに低雑音特性を実現し、また、10チャンネルの中から、優位の信号を検出可能な任意の5チャンネルを選択し、20μs幅のパルスで多重化する機能も実現しました。テストチップを0.35μmCMOS技術を用いて設計、試作し、チョッパアンプの雑音スペクトルの実測により10nV/root Hzという超低雑音な特性が得られました。

岩田センター長、角南教授 IEICE Fellow の称号を授与

センター長の岩田教授と角南教授は、平成15年9月に社団法人電子情報通信学会(IEICE)よりフェロー称号を授与されました。岩田教授は「アナログデジタル混載LSI技術の実用化と普及」、角南教授は「トレンチキャパシタDRAMセルの発明とメモリ研究開発」における顕著な功績がそれぞれ評価されました。

研究員紹介

当センターでは、今年度新たに6名を加えたセンター研究員14名が働いています。以下で新研究員の研究テーマを紹介をします。Rahman: Associative Memory Based Recognition Systems. 田主: チップ光

配線に必要な超小型波長フィルターであるリング光共振器に関する研究。桐山: 画像分割アルゴリズムの精度向上と動き検出への応用。Saha: UWB Transmitter Circuit Design for on Chip Wireless Interconnection. 漁: ペロブスカイト高誘電率薄膜STOの成膜技術の研究と絶縁破壊メカニズムの解明。奥山: 立体CMOSトランジスタの構造及びその形成技術の研究。



センター利用希望・共同研究希望の皆様へ

ナノデバイス・システム研究センターは広島大学の学内共同利用施設として設置されており、学内では先端物質科学研究科や工学研究科の研究室の多くの方々に利用されています。また、学外の大学・企業とは共同研究・受託研究を実施したり研究員・社会人博士後期課程学生の受け入れを行っております。このパンフレットをご覧になりナノデバイス・システム研究センターにご興味をお持ちの方がいらっしゃいましたら、センター教官までご連絡ください。TEL: 0824-24-6265、e-mail: rcns@sxsys.hiroshima-u.ac.jp

また、文部科学省ナノテクノロジー総合支援プロジェクトの一環として、シリコンを主体とする超微細構造形成のための支援(無料)を行っています。ナノ構造形成プロセス、超微細デバイスに関する技術相談(随時受付)にも応じています。学内、他大学、民間企業等からの支援申し込みを受け付けております。詳細はホームページ <http://home.hiroshima-u.ac.jp/nanotech/> をご覧下さい。

ナノデバイス・システム研究センター 研究組織

