

CENTER NEWS

広島大学 ナノデバイス・システム研究センター

21世紀 COE「テラビット情報 ナノエレクトロニクス」の現状

センター長・先端物質科学研究科教授 岩田 穆

COEの目的 広島大学の21世紀COE「テラビット情報ナノエレクトロニクス」では、拠点の特色は、回路・システムアーキテクチャ領域、デバイスモデリング領域、ナノデバイス・プロセス領域の3領域を設定し、各領域の技術を融合させることで、新しい学問領域の形成、革新的技術の開発、有能な人材育成を目指しています。

研究成果 最近の成果は、新しい三次元集積技術を提案し、その原理的な動作を確認し、国際固体素子回路会議 (ISSCC2005) で発表しました。これは2種の無線インターコネクション技術を併用して、チップ間の情報転送能力を飛躍的に上げて、チップ貫通ビアホールを用いる従来の三次元集積技術の課題である、高い製造コスト、放熱の問題を解決できる技術です。また次世代の標準を目指すMOSデバイスモデルとしてHiSIMを提案し、国際標準化委員会で最終候補として標準化活動を行っています。連想メモリを用いた画像認識処理、無線を活用したビジョンアーキテクチャなどのシステムの研究も進みました。また、ナノメータ微細MOSデバイスの加工・材料技術、立体MOSデバイスの構造、製法の研究を進め、量子ドットを用いたデバイスの作製、動作原理、光応答などの研究、新しい光共振器と光インターコネクション応用などの研究が進んでいます。

2004年のCOEプログラムの中間評価では独創性の高い挑戦的な研究は高く評価されましたが、領域間の協力、技術融合には今後多くの努力が必要との指摘を受けました。

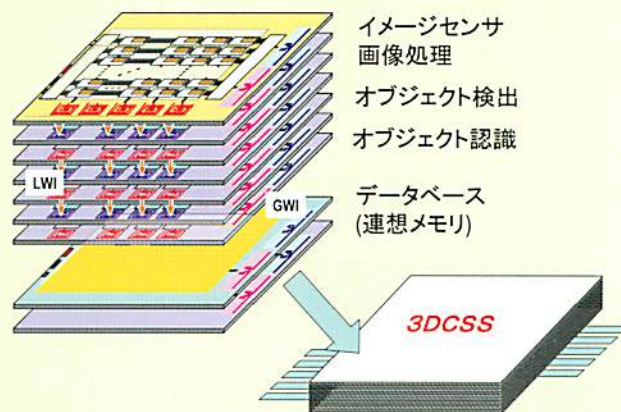
研究者と教育組織 2004年度はポスドクCOE研究員13名(外国人5名)で、また、博士課程学生10名をCOE研究員とし、若手を中心とする先端研究と人材育成を進めました。また、2004年4月に大学院先端物質科学研究科に「半導体集積科学専攻」を新設し、ナノデバイス・システム研究センターの全スタッフがCOEの教育理念に沿った教育を企画、実践しました。

情報発信 2004年1月にデバイスモデリングを主テーマとする第2回COE国際ワークショップを開催し、2004年12月に無線技術を用いたインターコネクシ

ョンを主テーマとする第3回のCOE国際ワークショップを開催しました。内外からの先端の研究者を招待するとともに、COEの研究成果を情報発信し、研究交流を進めました。

今後、COEの形成を加速していきますので、ご支援、ご指導をお願いいたします。

三次元集積システム(3DCSS)

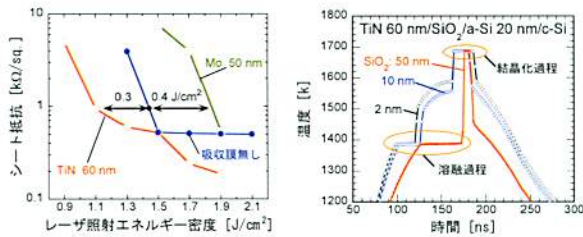


無線インターコネクションを 導入した新三次元集積技術 — ISSCC2005 で発表 —

無線インターコネクション技術でチップ間を通信する三次元集積技術を提案しました。複数のチップ積層構造においてチップ間の情報通信技術が鍵になっています。多数のインダクタ対を形成して、隣接チップ間で並列通信するローカル無線インターコネクション(LWI)と、アンテナを用いて電磁波で多数のチップ間を通信するグローバル無線インターコネクション(GWI)を考案しました。LWIとGWIを用いることにより、異種の機能や材料のチップを三次元集積できる三次元カスタムスタックシステム(3DCSS)技術を提案し、その動作原理を確認しました。これにより、コンピュータの一層の性能が向上でき、将来、3DCSSは人間を超えた速度のハイパーレインを実現できます。この研究成果は、サンフランシスコで開催された2005年国際固体素子回路会議(ISSCC:2/6-2/10)で発表しました(詳細は研究紹介参照)

センター研究紹介

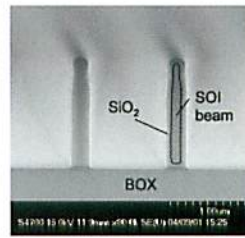
光吸収膜を用いたレーザーアニール技術



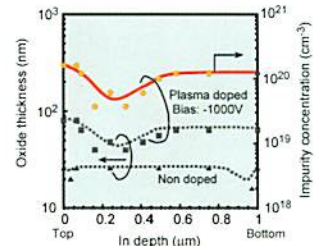
拡散層シート抵抗 (アニール後) 熱伝導解析により求めた基板表面温度

MOSFET の微細化に必用な浅い接合形成のため、レーザー光を用いた活性化アニール技術の開発を行っています。量産化に適した固体グリーンレーザを直接シリコンに照射すると、レーザー光が接合よりもはるかに深い部位まで侵入するため、大きなレーザー出力が必要となるという問題がありました。シリコン基板上に酸化膜を介して TiN や Mo といった金属膜を堆積しこれにレーザー光を吸収させる方法で実験を行いました。また、シリコン基板表面の加熱、冷却の過程を熱伝導解析により調べました。この結果から、吸収膜には熱伝導の低い TiN が Mo よりも適していること、酸化膜はシリコンと金属の反応を防げる範囲で極力薄くすべきであることなどを明らかにできました。

三次元プラズマドーピングの開発



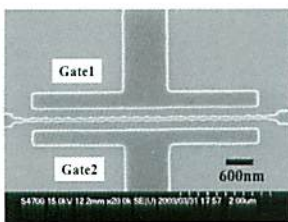
Cross-section of 1- μm tall SOI beams oxidized with wet oxygen at 750°C for 60 min.



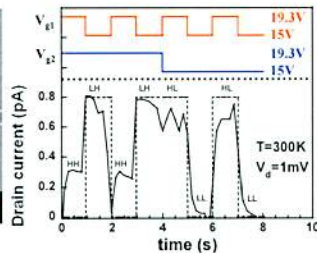
Plasma-doped arsenic profile in SOI beam evaluated with impurity-enhanced wet oxidation at 750°C.

本研究では高さ 1 μm 以上/幅 0.1 μm 以下の Si ビーム (梁) を用いた立体トランジスタを開発しています。このようなアスペクト比の高いビームの側面全面にわたって均一な不純物添加を行うため、プラズマドーピングを開発しています。また、ビーム側面に沿った不純物分布を評価するため、低温湿式酸化では不純物によって酸化が加速される現象を利用する方法を考案しました。SEM 写真は酸化後の断面を示しており、この酸化膜厚分布から不純物濃度分布を評価した結果を図に示しました。上面から約 0.2 μm 程度下の側面の不純物濃度が減少しているのは、一旦付着した砒素がプラズマによるスパッタで剥離されたためと推測しています。

室温動作単一電子回路



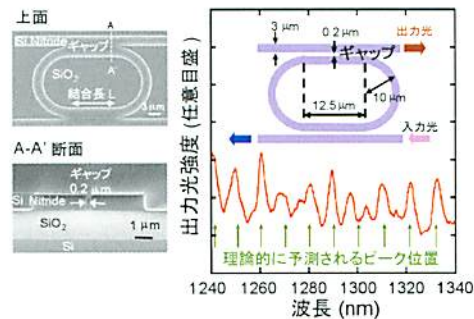
SETレジスト形状(上面SEM像)



電流のスイッチング特性

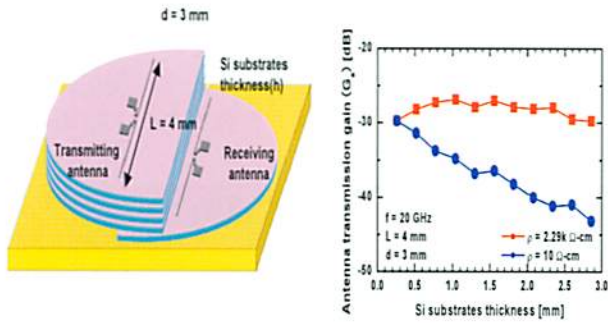
単電子トランジスタ (SET) は超低消費電力化や超高集積化、また電荷を 1 電子レベルで制御可能であるという利点を持つため、将来のデバイスとして期待されています。このため基礎的な物理現象の解明だけでなく、SET の特性を活かした回路素子への期待も高くなっております。今回、LSI 技術と整合性がある Si を構成材料に用い電子線リソグラフィ技術により、高濃度ドーブした多重量子ドット Si-SET を作製し、室温でのクーロン振動を観測しました。この SET のゲート電極をマルチゲート電極構造にする事により、exclusive-OR (XOR) 回路動作を室温で実現しました。本研究の成果は 2004 年国際固体素子材料会議で発表しました。

レーストラック型リング光共振器



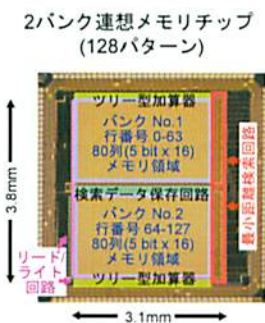
光ネットワークでは、波長多重のために約 10cm と大きいアレイ導波路回折格子 (AWG) が用いられています。我々は、LSI 上で光配線を実現するために、リング光共振器の小型化・集積化の研究を行っています。波長の整数倍がリングの周長に一致すると共振現象が起き、ギャップを通して特定波長の光が出力されます。リングの屈折率を電界で変調すれば光スイッチが実現できます。この構造では数十ミクロンの小型化が可能です。本研究では、図に示すレーストラック型を新たに開発しました。直線部分の長さによって光結合効率を容易に制御でき実用性に優れています。本研究成果は 2004 年国際固体素子材料会議で発表しました。

シリコン集積化アンテナの開発



次世代半導体集積回路に必要とされている数10GHzの信号が伝送可能となる超高速ワイヤレス配線技術として、シリコン基板に集積化したアンテナの研究を行っています。模式図に示すように積層されたシリコンチップに形成されたアンテナから電磁波の形で放射された信号がシリコン基板を通して伝送され、離れたシリコンチップの受信アンテナで信号を受信できることを確認致しました。右図は測定結果で、シリコン基板の抵抗率によって信号の減衰が異なるため、抵抗率の高いシリコン基板を用いると減衰が少なく信号を遠くのシリコン基板まで到達できることがわかりました。

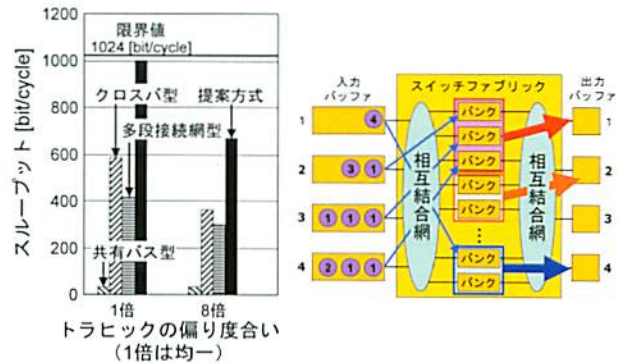
全並列型バンク構成連想メモリの開発



距離指標	5 bit マンハッタン距離	
	2バンク	4バンク
全参照パターン数	128 (64 x 2)	256 (64 x 4)
レイアウト面積	11.8mm ²	26.5mm ²
検索可能距離範囲	0 - 496bit	0 - 496bit
消費電力 (シミュレーション見推)	< 330mW (パターン当たり < 2.58mW/Pat.)	< 640mW (パターン当たり < 2.54mW/Pat.)
Winner検索時間 (シミュレーション見推)	< 260nsec	< 280nsec
プロセス技術	0.35μm 3-Metal CMOS	0.35μm 3-Metal CMOS
供給電源電圧	3.3V	3.3V

連想メモリは入力パターンとデータベースに保存されているパターンの中から最も類似したデータを検索する機能を持ち、パターンマッチングを必要とするアプリケーションに不可欠なものです。我々は提案している全並列型アナログ・デジタル融合連想メモリを、大規模なパターンへ対応可能とし、更なる低消費電力化、信頼性の向上のためにバンクに分けたバンク構成連想メモリを開発しました。単体の連想メモリをバンクに分割し、それぞれのバンクを独立に動作することが可能なため、最小距離検索回路の信頼性の向上と消費電力の削減を実現することができました。

柔軟なバッファメモリスケジューリングを有する多バンク型スイッチアーキテクチャ



近年のネットワークにおけるトラフィック量増加により、その接続ノードであるスイッチの性能向上が要求されています。これを実現するためには、性能向上の妨げとなっているブロッキング及びパケット損失の抑制が必要です。そこで、我々はバッファ容量の一部をバンク構造として、2段のバッファリングでこれを実現する多バンク型スイッチを提案しています。シミュレーションにより、提案方式では既存のスイッチと比較して最大で90%以上のスループット向上と20%以上のパケット損失率改善が可能であることを実証しました。

無線インターコネクションを導入した新三次元集積技術

チップ間に2種類の無線インターコネクションを導入した革新的な三次元集積を開発しました。インダクタ結合の共振現象を利用して、極小電力で高速な情報転送できる方式(LWI)を考案し、動作性能を実証しました。最適設計により、1Gビット/秒の情報転送が1mW以下で実現できます。LWIにより、チップ上に分散するデータをチップ間で1000チャンネル以上並列に転送できます。また、チップに形成した数mmのアンテナで電磁波を送信・受信する方式(GWI)を開発しました。5GHz帯域のパルス電磁波を1/10程度の減衰でシリコン中を数mmの距離伝搬できることを実証しました。GWIでは複数チップにわたって、Gbpsのレートでの多重通信ができます。三次元カスタムスタックシステム(3DCSS)では、各チップ間の情報転送のための電気接続が不要なので、異なる機能や材料のチップを容易に積層集積できます。3DCSSにより、テラビット速度性能を持つコンピュータを小型、高コストで実現でき、さらに人間より高速に多くの物を認識できる眼を1cm程度で実現できると考えています。

新任教員・研究員紹介

現在当センターでは、今年度新たに4名を加えたセンター研究員14名と新任の外国人客員教授1名が研究を遂行しております。以下で、新研究員の研究テーマを紹介します。**細井**：次世代CMOSで必須となるメタルゲートの実用化のため、単一メタルゲート電極の仕事関数変調技術の研究をはじめ、メタルゲートMOSFETの製作・評価を行っています。**徐**：中国武漢科学技術大学光電子工学科から来ました。光配線LSIを実現するために、光導波路および電気光学材料を用いた光スイッチの研究をしています。**Ahmadi**：画像処理及びニューラルネットワークの分野で大阪府立大学博士課程後期を卒業し、昨年の4月からこのセンターで連想メモリベースの知能システムと画像処理アルゴリズムのハードウェア

化を研究しています。具体的には連想メモリベースの知能システムの研究では、文字認識やOCRのような認識への応用を、画像処理アルゴリズムのハードウェア化の研究ではSnakeモデルを動体追跡に適用することを考えています。**竺**：平成16年4月16日付けで外国人客員教授として着任しました。中国復旦大学に勤務しております。現在は、ナノデバイスの信頼性の評価と作製プロセス技術に関する研究を行っております。



センター利用希望・共同研究希望の皆様へ

ナノデバイス・システム研究センターは広島大学の学内共同利用施設として設置されており、学内では先端物質科学研究科や工学研究科の研究室の多くの方々に利用されています。また、学外の大学・企業とは共同研究・受託研究を実施したり研究員・社会人博士後期課程学生の受け入れを行っております。このパンフレットをご覧になりナノデバイス・システム研究センターにご興味をお持ちの方がいらっしゃいましたら、センター教員までご連絡ください。TEL：082-424-6265

e-mail：nanotech@hiroshima-u.ac.jp

また、文部科学省ナノテクノロジー総合支援プロジェクトの一環として、シリコンを主体とする超微細構造形成のための支援（無料）を行っており、ナノ構造形成プロセス、超微細デバイスに関する技術相談（随時受付）にも応じています。学内、他大学、民間企業等からの支援申し込みを受け付けております。詳細はウェブページ <http://home.hiroshima-u.ac.jp/nanotech/> をご覧下さい。

ナノデバイス・システム研究センター研究組織

