

No.8  
Jan. 2006

# CENTER NEWS

## 広島大学 ナノデバイス・システム研究センター

### 21世紀 COE プログラムによる拠点 「テラビット情報ナノエレクトロニクス」の成果 センター長・COE リーダ 岩田 穆

**COE の目的** 広島大学の 21 世紀 COE 「テラビット情報ナノエレクトロニクス」拠点の特色は、回路・システムアーキテクチャ、デバイスモデリング、ナノデバイス・プロセスの 3 領域を設定し、各領域の技術を融合させることで、新しい学問領域の形成、革新的技術の開発、有能な人材育成を目指しています。

**最近の成果** 次世代 MOS トランジスタモデル “HiSIM” の開発と国際標準モデル化活動で大きな成果をあげました。MOS トランジスタの回路シミュレーションモデルはデバイステクノロジーと回路設計とを結ぶ役割を持つものである。COE のモデリンググループでは 60nm 以下の MOS トランジスタに適用できる表面ポテンシャル記述に基づく物理モデル HiSIM (Hiroshima-University STARC IGFET Model) を開発しました。このモデルでは高周波領域におけるキャリア移動の遅れを Non-Quasi Static Model として定式化して組み込むことで、解析精度を上げるとともに、熱雑音などの精度も向上させました。さらに HiSIM は物理的なモデルであるので、少ないパラメータで特性を表現でき、その抽出が容易であり、シミュレーション時間が短く、数値解析が発散することがありません。また、微細化する次の世代のトランジスタの特性を予測できることも大きな特徴です。

2003 年秋から CMC (Compact Modeling Council) で次世代世界標準モデル選考が始まり、2005 年 5 月には Philips 社と Pennsylvania 州立大学が共同で開発してきたモデル “PSP” とともに最終候補モデルに選ばれた。(CMC のホームページ <http://www.eigroup.org/CMC/default.htm>)

5 月から 11 月の間、世界中の CMC メンバーから評価を受け、HiSIM が競合モデル “PSP” より優れた性能を持つことを実証できた。11 月末の標準モデル選考の投票では残念ながら 14 : 17 で惜敗したが、投票者数がアジア : (ヨーロッパ + アメリカ) = 6 : 25 という不利な状況の中で、互角に戦い多くの支持を得たのは、HiSIM の優秀性が認識されたものと考えられる。

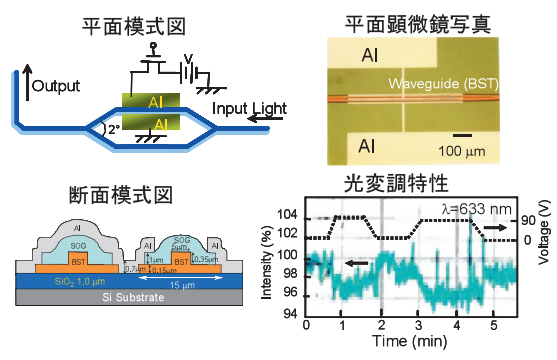
微細 MOS デバイスの基盤技術の研究成果の代表例として、立体ビーム型 MOS デバイスの研究を進め、シリコンビームの 3 面にゲートを有するトライゲート MOS の試作と動作確認に成功しました。

COE のターゲットとする領域融合も進捗しています。無線技術と集積回路技術との融合による無線インタコネクタを用いた三次元集積技術 (3DCSS) によるビジョンシステムのプロトタイプを試作し、実画像で動作確認しました。3DCSS に対応したマルチオブジェクト認識、動物体検出・認識などの画像情報処理アルゴリズム、連想メモリベースの学習アルゴリズムの研究も進みました。また、デバイスの動作原理と構造・材料とモデリング技術との融合で、超高速受光デバイスの研究が進みました。また、量子ドット配列の電子分布状態の光応答を観測するのに成功して、光応答するメモリデバイスが実現できる見通しを得ました。

COE の成果の応用として、ナノエレクトロニクスとバイオの融合として、シリコンのような無機物とバイオを結びつけるために発見された酵素を量子ワイヤートランジスタをつけて、ウイルスのような極微生物を検出する技術の研究を開始しています。今後、ナノエレクトロニクスを核とする領域融合として、ロボット、バイオ、医療との融合を図って行きますので、ご意見、アイデアをお寄せください。

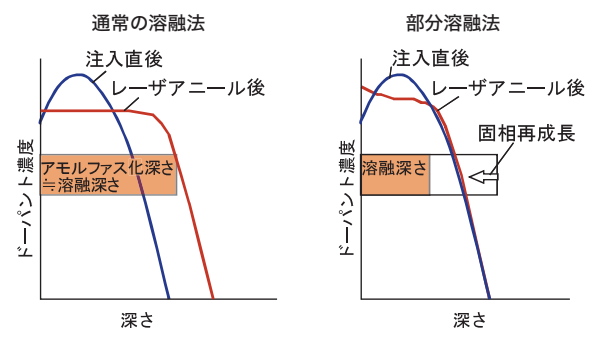
# センター研究紹介

## Si 基板上の電気光学材料 (Ba, Sr) TiO<sub>3</sub> を用いたマッハツェンダー光スイッチ



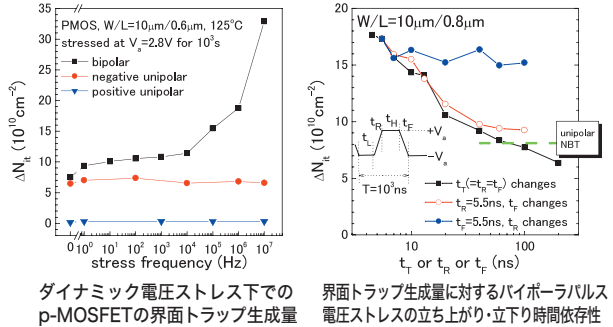
LSI の速度向上のために、長距離金属配線を光配線に置き換える研究をしています。この時、光を ON, OFF する光スイッチを Si 基板上に高密度に集積する技術が重要になります。我々は、小型化が可能なリング共振器型光スイッチを提案していますが、その前段階として、図に示すマッハツェンダー型光スイッチをモノリシック集積する技術を開発しました。Intel は Si 光導波路を用いた光スイッチを実現していますが、我々は電気光学材料である (Ba,Sr) TiO<sub>3</sub> を用いています。これは電界によるイオン分極によって屈折率が変化するので、Si のように電荷注入の必要がなく、より高速な動作が期待できます。この成果は、著名な学術誌 Appl. Phys. Lett. に投稿中です。

## 新しいレーザアニール技術—部分溶融法—の提案



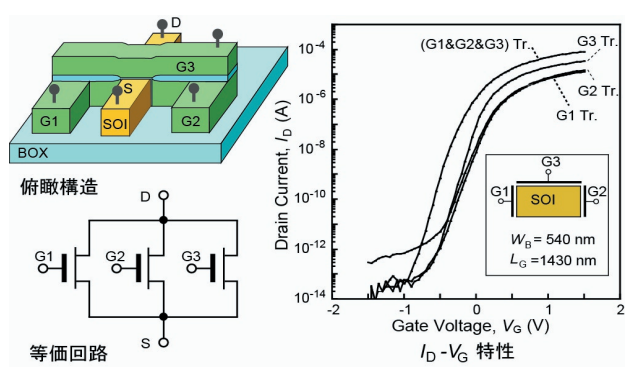
MOSFET の微細化に必要な浅い接合形成のためレーザ光を用いた活性化アニール技術の開発を行っています。レーザアニールではシリコン基板に導入したドーパントの活性化のために、シリコン基板表面を溶融させる方法がしばしば用いられます。この手法では結晶シリコンよりもアモルファス化したシリコンの方が融点が約 300°C 低い性質を利用してイオン注入でアモルファス化を行うのが一般的です。溶融したシリコン中ではドーパントの拡散が非常に速いため、この場合接合深さはアモルファス化層と同程度になります。我々は、レーザ照射前に低温でアモルファス化層を部分的に固相成長させる方法、部分溶融法を提案しました。この場合、レーザ照射時のアモルファス化層はイオン注入直後より薄くなりますので、溶融深さすなわち接合深さを浅くすることが容易になります。我々は実際に部分溶融法を用いて深さ約 10nm という極浅接合形成に成功しています。

## ダイナミックバイポーラパルスストレスによる界面トラップ生成



ダイナミックストレス下で、極薄酸化ゲート絶縁膜を有する MOSFET の界面トラップ生成を系統的に調べました。矩形波状のバイポーラ電圧ストレス下で 10<sup>4</sup> Hz 以上の周波数領域において、n 及び p チャネル MOSFET について、周波数の増加に伴う界面トラップの急激な増加現象を初めて観測しました。この界面トラップの著しい増加は、バイポーラストレスにおける電界の急速な極性変化にトラップホール（または電子）の基板への放出が追従できず、ゲート電界と同じ向きに過渡的な内蔵電界が形成され、Si-H の解離が促進されるためと考えられます。本研究の成果は 2005 年に、IEEE Electron Device Letters, Vol. 26, No. 3, No. 6 及び No. 9 で発表しました。

## 三重並列ゲート三次元トランジスタ



不純物増速酸化や CMP などを駆使し、電氣的に分離した三重並列ゲート三次元トランジスタを試作した。構造図に示すように第三ゲートによって第一および第二ゲートを形成するので、三つのゲートは互いに自己整合している。各々のトランジスタは正常な特性を示しており、単独の動作が可能である。また、一つのトランジスタのゲート電圧を制御することにより全体のトランジスタのサブスレショルド特性を変化させることができるので、LSI 全体のトランジスタ特性を厳密に揃えることができる。極微小電圧制御アナログトランジスタなど広い応用範囲が想定できる。

# センター研究紹介

## シリコン集積化 UWB アンテナの開発

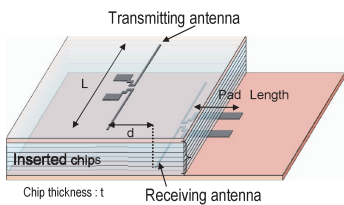


図1 シリコンチップ間ワイヤレス配線

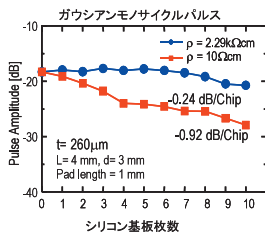
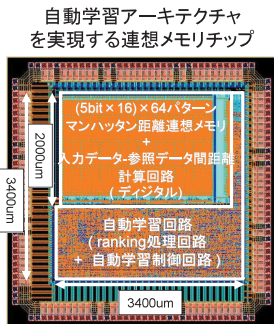


図2 UWB 信号伝送特性のシリコン基板枚数依存性

次世代半導体集積回路に必要とされている数 10GHz の信号が伝送可能となる超高速ワイヤレス配線技術として、シリコン基板に集積化したアンテナの研究を行っています。図1のような積層されたシリコンチップに形成されたアンテナからガウシアンモノサイクルパルスと呼ばれるウルトラワイドバンド (UWB) 信号が送信され、離れたシリコンチップの受信アンテナで信号を受信できることを確認致しました。図2にガウシアンモノサイクルパルスの伝送特性のシリコン基板枚数 (距離) 依存性を示します。厚さ  $260\mu\text{m}$  のシリコン基板 10 枚を貫通して信号が伝送できることがわかります。

## 自動学習を有する連想メモリアーキテクチャ



最小距離指標・データ長	マンハッタン距離 5bit x 16
参照パターン数	64
短期記憶パターン数	24 (可変)
長期記憶パターン数	40 (可変)
検索可能範囲	0-496
プロセス技術	0.35um 2-poly 3-metal CMOS
供給電圧	3.3 V
トランジスタ数	402,768
レイアウト面積	11.04mm <sup>2</sup>
連想メモリ	6.2mm <sup>2</sup>
自動学習回路	4.84mm <sup>2</sup>
学習アルゴリズム	< 290nsec (うち検索時間250nsec)
処理時間	
自動学習回路	166MHz
最大動作周波数	(ゲートレベルシミュレーション)

新しい連想メモリに基づく自動学習アーキテクチャとして人間の脳のような短/長期記憶をモデル化する概念を開発しました。連想メモリの参照パターンを、新しい情報を一時的に記憶する短期記憶領域と一定に変わる入力パターンの影響を受けずに長い間参照パターンを記憶する長期記憶領域の二つの領域に分類します。これに指標としてランクを設けることで、あるパターンのランクを変更する過程と短/長期記憶間でパターンが変更される方法が実現できます。20 パターンの学習実験を行った結果、約 1800 以上の入力サイクルで、かつノイズの入力パターンにおいても全てのパターンの学習を完了できました。

## スキャン方式画像分割 LSI アーキテクチャ

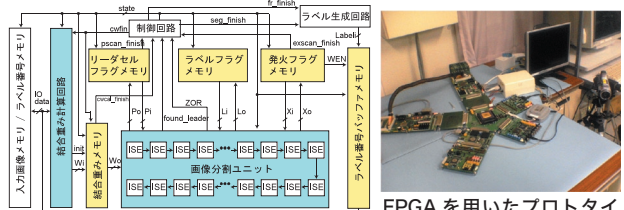
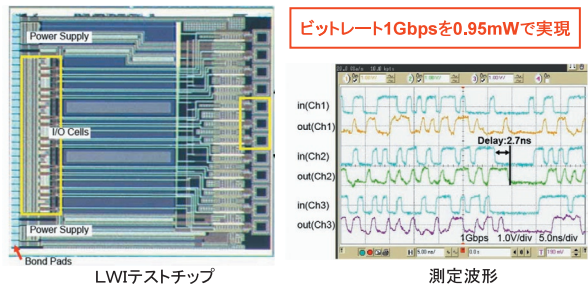


図3 FPGA を用いたプロトタイプシステム

物体認識や物体追跡などのオブジェクトベースの画像処理においては、入力画像中から物体を抽出する処理として画像分割が重要かつ不可欠です。我々は処理時間と演算ユニット数 (面積) のトレードオフを利用することにより、様々なりアルタイム画像処理アプリケーションに対応できるイメージスキャン方式の画像分割 LSI アーキテクチャを提案しています。提案アーキテクチャでは、画像を複数のブロックに分け、各ブロックに対して並列演算ユニットで逐次的に処理します。現在は、FPGA によるプロトタイプシステムを構築して評価を行なっています。研究成果の一部は 2005 年 SoC 設計国際会議 (ISOC2005) で発表しました。

## インダクタ対共振を用いた高速・低電力チップ間無線インタコネクション技術

2005 Symposium on VLSI Circuits で発表



三次元集積を実現するには、高速、低電力のチップ間情報通信 (インタコネクション) 技術が鍵になっている。オンチップのスパイラルインダクタ対を用いて、隣接チップ間で並列通信するローカル無線インタコネクション (LWI) 技術の、低電力動作、非同期動作を可能にした。インダクタペアの共振特性を利用し、受信信号レベルを向上させて、自己タイミング信号検出回路を用いて低消費電力化と高速化を両立させた。また、極短パルス (シングル/ダブル) にハイ遷移とロー遷移をコーディングして、同期クロック不要の非同期通信を実現した。0.18um CMOS 技術によりテスト・チップを設計・試作し、転送レート 1 Gbps で消費電力 0.95mW/ch (電源電圧 1.8V) を実現した。Reference: M. Sasaki and A. Iwata, A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnect with Asynchronous Communication Scheme, Dig. of Symp. on VLSI Circuits, pp. 348-351, June 17, 2005

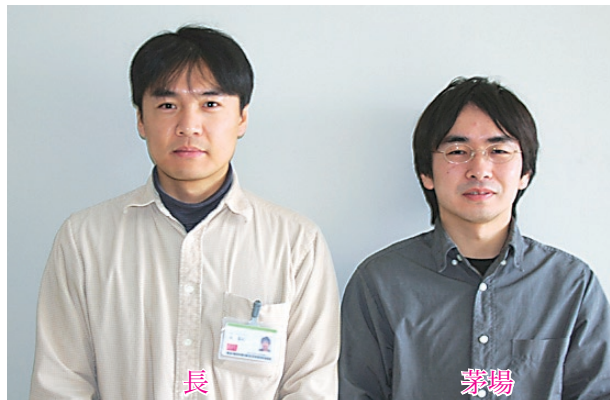
## 新任教員・研究員紹介

現在当センターでは、今年度新たに2名を加えたセンター研究員11名が研究を遂行しております。以下で、新研究員の研究テーマを紹介します。

**茅場**：将来のLSI内配線技術において実装が必要とされている配線層間多孔質低誘電率 (Low-k) 膜の作成・評価を行っております。多孔質 Low-k 膜はそのままでは吸湿により電気特性が大幅に劣化する為、疎水化処理による安定化を行う必要があります。私の研究では特に、疎水化による電気特性劣化抑制のメカニズムを理論的に解明し、より優れた疎水化処理技術を開発・研究しております。

**長**：次世代低誘電率層間絶縁膜 (Low-k 膜) の材料の開発を行っております。新規の材料として高い機械的強度と空孔による低誘電率化が可能であるゼオ

ライト骨格を有するポーラスシリカ膜材料の気相輸送法による合成およびその結晶化メカニズムの解明、さらに高信頼化のための疎水化処理による空孔表面の安定化技術の研究を行っています。



## センター利用希望・共同研究希望の皆様へ

ナノデバイス・システム研究センターは広島大学の学内共同利用施設として設置されており、学内では先端物質科学研究科や工学研究科の研究室の多くの方々に利用されています。また、学外の大学・企業とは共同研究・受託研究を実施したり研究員・社会人博士後期課程学生の受け入れを行っております。このパンフレットをご覧になりナノデバイス・システム研究センターにご興味をお持ちの方がいらっしゃいましたら、センター教員までご連絡ください。TEL: 082-424-6265

e-mail: nanotech@hiroshima-u.ac.jp

また、文部科学省ナノテクノロジー総合支援プロジェクトの一環として、シリコンを主体とする超微細構造形成のための支援 (無料) を行っており、ナノ構造形成プロセス、超微細デバイスに関する技術相談 (随時受付) にも応じています。学内、他大学、民間企業等からの支援申し込みを受け付けております。詳細はウェブページ <http://home.hiroshima-u.ac.jp/nanotech/> をご覧下さい。

## ナノデバイス・システム研究センター研究組織

