

No.3

Feb. 2001

# CENTER NEWS

## 広島大学 ナノデバイス・システム研究センター

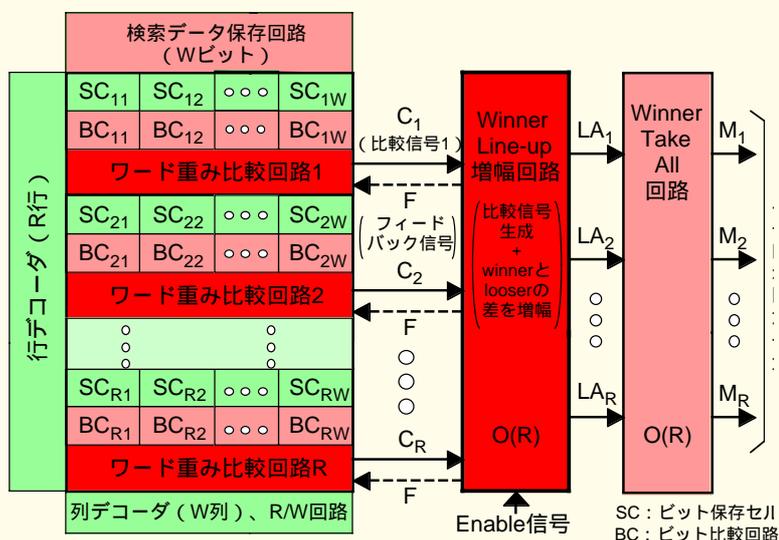
### 研究トピックス紹介

#### 全並列処理デジタル・アナログ混載連想メモリ

ISSCC2001 で発表

将来の知能集積システムにとって、連想メモリは基本的な構成要素であると考えられています。連想メモリは、入力データ（文字、音声、画像など）をあらかじめシステムに記憶させていたデータと比較して、最も似通ったデータを探し出し、それを出力するものです。これが「認識する」という知能処理に相当します。1つのプロセッサに1つのメモリを接続し、入力と記憶データとの比較を一つずつ実行する方式では、認識時間は数ミリ秒から数分かかります。複数個のプロセッサと複数個のメモリを使用することで処理速度を上げることが可能で、認識時間は数マイクロ秒程度まで短縮できます。しかし、これでもまだ人間の認識時間に比べると遅すぎます。また、この方法ではシリコンチップ上の回路面積が大きくなるという欠点があります。

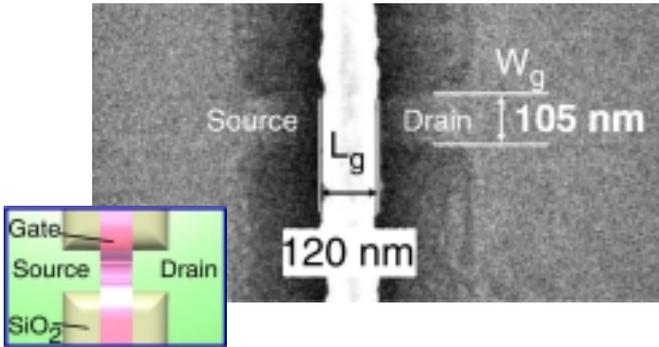
そこでナノデバイス・システム研究センターでは、小面積で高速な「全並列型デジタル・アナログ混載連想メモリ」を開発しました。これは、複数の信号処理回路とメモリを用いて並列処理を実行するだけでなく、さらにアナログ信号処理を取り入れることにより、処理速度を格段に向上させています。入力データと参照データは共にデジタル信号ですが、その類似度を出力する回路、および、最も似通ったデータを選び出す部分に、高速で並列処理に適したアナログ回路を用いています（システム構成図参照）。128ビットのデータを100ナノ秒以下で処理し、回路面積は1.5mm<sup>2</sup>、消費電力は0.26Wと小さい回路を開発しました。この研究成果はサンフランシスコで開催された2001年国際固体素子回路会議（ISSCC2001、2月5日～7日）で発表されました。また、より高速なテスト回路（シミュレーションでは、768ビットのデータを100ナノ秒以下で処理できる）の設計を完了し、現在東大VLSI Design and Education Center (VDEC)を通じて試作中です。



全並列処理デジタル・アナログ混載型  
連想メモリチップのシステム構成

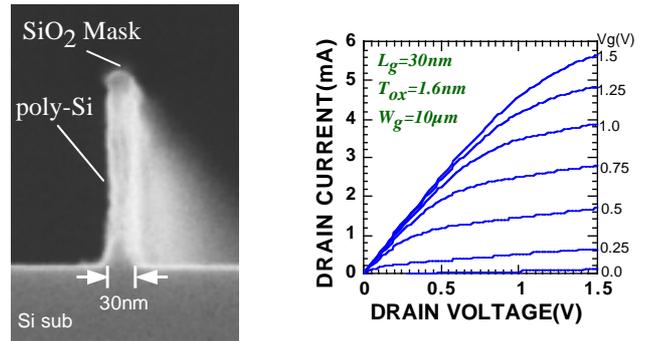
全並列処理デジタル・アナログ混載型  
連想メモリチップ写真  
東大VDECを通じて試作

### 極小面積 MOSFET の製作



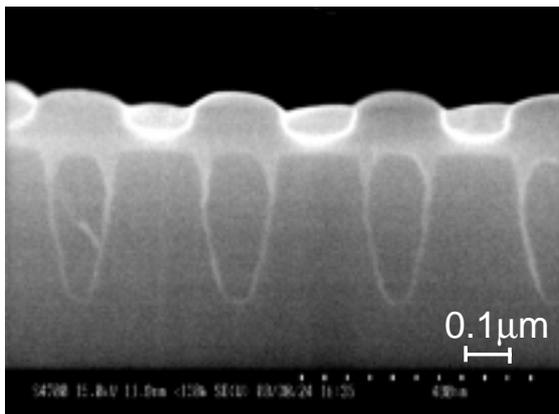
ゲート長(Lg)及びゲート幅(Wg)が100nmの極小面積MOSFETを製作しチャンネル中の電子数を100以下にまで減少させることにより起こる特性揺らぎ現象の観察を目指しています。上図はLOCOS技術を用いて実際に製作したMOSFETのゲート加工後の上面SEM写真とその説明図です。このような微細な素子の製作では素子と素子分離領域の境界付近で発生する欠陥がしばしば問題になりますが、ゲート酸化膜や接合の信頼性に問題はありませんでした。良好なカットオフ特性を持つFET特性も確認できています。今後特性の解析を進める予定です。

### ゲート長30nmの極微細MOSトランジスタの製作



ゲート長30nm、ゲート酸化膜厚1.86nmの極微細MOSFETを試作し、その動作確認をしました。幅30nmのポリシリコンゲート電極を、垂直性よく形成する高選択比エッチング技術を完成しました(写真)。ゲート長とゲートトンネルリーク電流の関係を調べた結果、ゲート長0.5µm以下で、理論値より電流が少なくなる現象が見られました。この電流減少はゲート電圧の極性によらず、ほぼ同様に起こります。これは、ゲート側壁酸化膜界面にリン原子がパイルアップし、ゲート側壁領域の不純物原子が減少するために起こる考えられます。この研究成果は、2000年度国際固体素子材料コンファレンスで発表しました。

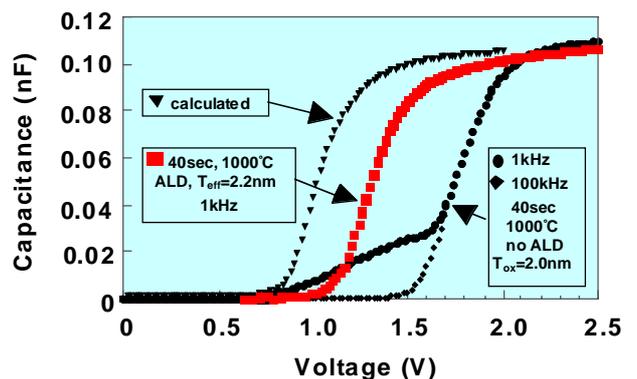
### 超高速LSI用の素子分離技術



集積回路の高密度化は、トランジスタと素子分離の融合した微細化を必要とします。100nmより狭い分離には溝構造が不可欠になりますが、(1)活性領域端部の電界集中によるゲート絶縁膜の信頼性劣化、(2)埋込絶縁膜による応力集中などの課題が生じます。

本研究では、これらの課題を抜本的に解決すると期待される空洞素子分離構造を提案し、その基礎検討を行っています。上図は検討の一段階を示す電子顕微鏡写真で、素子分離領域に厚い酸化膜を形成し、端部の電界集中の問題を解決した構造です。

### 原子層堆積Si窒化膜によるp-MOSトランジスタの信頼性改善

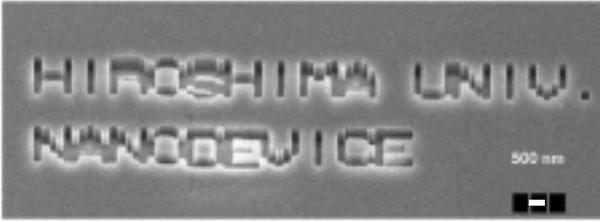


微細CMOS技術の課題の一つに、p-MOSFETにおける薄膜ゲート酸化膜のボロン突き抜けがあります。最近、我々は原子一層ごとの成長を制御できる原子層デポジションにより、均一な極薄シリコン窒化膜をゲート酸化膜上に堆積し、ボロンの突き抜けが抑制される事を確認しました。さらに、この構造は酸化膜中へのボロン拡散も抑制する事から、ゲート酸化膜の信頼性も改善しました。この研究成果は、Applied Physics Letters Vol. 77 No. 18 (2000)に掲載されました。

## センター研究紹介

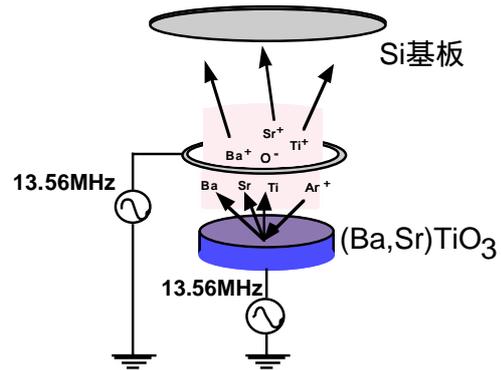
### 新しい感光性低誘電率層間絶縁膜の開発

-EB 露光で 50nm ホールをはじめて実現-



次世代ULSIの配線技術に大きな変革をもたらす可能性のある新しい感光性低誘電率層間絶縁膜を化学メーカーと共同で開発し、電子ビーム露光によって50nmホールをフォトレジストやドライエッチング工程を全く用いないで加工することに初めて成功しました。これはメチルシラザン(MSZ)をベースポリマーとして、それに化学増幅型感光基を付加したものです。最小パターン幅50nmのダマシ配線溝及びビアホールが低誘電率層間絶縁膜中に直接形成できました。上図は電子顕微鏡写真で、絶縁膜中に文字がくっきりと見えます。この成果は昨年12月の米国電気電子学会の国際電子デバイス会議(IEDM)に発表されました。また、日経マイクロデバイス誌や半導体産業新聞にも取り上げられました。

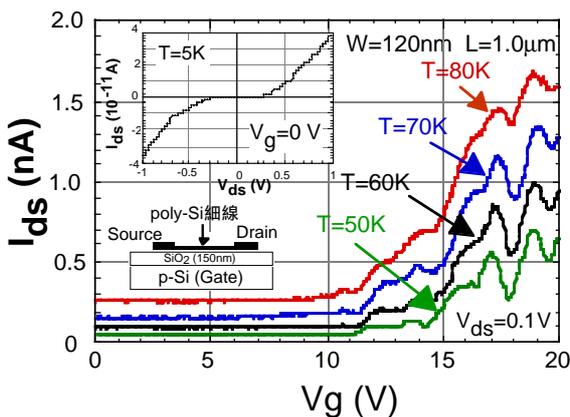
### 高密度メモリ用高誘電率膜の形成



デバイスの縮小に伴う絶縁膜の薄膜化が量子力学的トンネル現象により限界に達してきています。このため、従来のSiO<sub>2</sub>に代わってトンネル現象を抑制できるキャパシタ用高誘電率膜が必要になってきました。我々は誘電率の高いバリウム・ストロンチウム・チタン酸化物の薄膜化の研究をしています。スパッタ圧力の制御と誘導結合プラズマによる励起により高品質化が達成され、また電極として用いられるRuのBSTに対するバリアハイトが0.57eVであることを明らかにし、2000年度国際固体素子材料コンファレンスで発表しました。

## 受賞紹介

### 多結晶シリコン量子細線の低温特性



電子ビームリソグラフィにより、幅120nm、厚さ8nmの多結晶シリコン細線を形成しました。ナノメータ(10<sup>-9</sup>m)の微細な系で、電子が一個一個順番に流れる時に生ずるクーロン振動と呼ばれる特異な現象が明瞭に観測できました。また、0ボルト付近で電流が流れなくなるクーロンブロックという現象も観測されます。また、クーロン振動の周期から、20nmの小さなドットが形成されていることが分かりました。さらに微細な細線を形成すれば、室温で非線形な電気伝導が観測され、新しい電子デバイスへの応用が期待されます。

### 廣瀬センター長中国文化賞受賞



センター長の廣瀬全孝教授は、平成12年度第57回中国文化賞を受賞しました。この賞は、中国地方の学術や文化の専門分野で優れた功績をあげた人々に授与されます。廣瀬教授は1971年広島大学において半導体素子の研究を開始し、特にゲート絶縁膜の研究で多くの業績をあげています。廣瀬教授は、早くから大学における集積回路技術の研究教育の重要性に着目し、1986年には本研究センターの前身である「集積化システム研究センター」の設置にこぎつけるなど、大学における半導体研究の発展に尽くした功績が認められました。

### 吉野研究員らエアロゾル学会井伊谷賞受賞

吉野雄信研究員と横山新教授は、平成12年度エアロゾル科学・技術研究討論会において井伊谷賞を受賞しました。この賞は同大会特別セッションにおいて、重要且つユニークな研究発表に対して与えられるものです。吉野研究員らが初めて見いだした、可視光線の照射によってp型シリコン基板の自然酸化が促進される現象の報告に対してこの賞が授与されました。

## 受賞紹介（続き）

### 吉川教授応用物理学会論文賞受賞

吉川公磨教授の「ULSIの微細化と多層配線技術への課題」(応用物理第68巻第11号、1999)が平成12年度応用物理学会論文賞を受賞しました。この論文はULSIの微細化における多層配線技術の役割と必然性について統一的に説明しています。ULSI高速化のためには配線の逆スケールング、すなわち配線寸法の拡大化とともに多層配線の層数の増大が必要になることを示しました。このためには新しいプロセス技術としてCu配線、低誘電率膜、平坦化技術が必須になることを示しました。本論文は専門家のみならず専門外の読者にもわかりやすく解説している点が評価されました。

### 横山教授ら空気清浄協会会長奨励賞受賞

横山新教授と廣瀬全孝教授は、平成12年度空気清浄協会会長奨励賞を受賞しました。最先端半導体の製造環境では、微粒子のほかにガス状汚染物質が問題となっています。本賞は、微粒子とガス状汚染の同時除去が可能な、「UV/光電子・光触媒付きプラスチック製ウェハボックス」を開発し、実際に電子デバイス(MOSキャパシタ)を試作し、その有効性を確認した点が評価されました。

## 新任・併任教官紹介



Quazi Deen  
Mohd Khosru

平成12年11月1日付けで外国人客員教授として着任しました。平成6年に大阪大学博士課程で博士号を取得後、バンガディッシュ工科大学に勤務しています。平成12年1月から東北大学客員研究員として単電子トランジスタの研究をしていました。現在は、ナノデバイスの評価とプロセス技術の研究を行っています。国際的に評価の高い本研究センターのスーパークリーンルームおよび最先端の研究装置を活用して、最善を尽くしたいと考えています。



小出哲士

東京大学大規模集積システム設計教育研究センター・助教授の小出です。平成11年4月1日より本センターシステム設計・アーキテクチャ研究領域の助教授を併任しています。東大ではVLSI設計・教育とVLSI設計自動化に関する研究を行っています。当センターは世界でトップクラスのLSI製作設備を備えており、最先端のナノデバイス・テクノロジーの研究開発が行われていますので、このような大規模化・微細化する集積回路の性能を最大限発揮できるようなシステムLSI設計に関する研究を行っていきたくと考えています。

## ナノデバイス・システム研究センター組織

