



ナノ集積科学 研究部門

Nanointegration
Research Division

ナノ集積科学研究部門は、ナノデバイスプロセス、ナノインテグレーション、ナノ・バイオ融合デバイス、ナノ量子デバイス、ナノデバイスモデリングの研究を行っています。専任教員4名、併任教員5名、特任教員4名で構成されています。

Nanointegration Research Division is specialized in the research for nanodevice process, nanointegration, nan-bio integration devices, nano quantum devices, and nanodevice modeling.

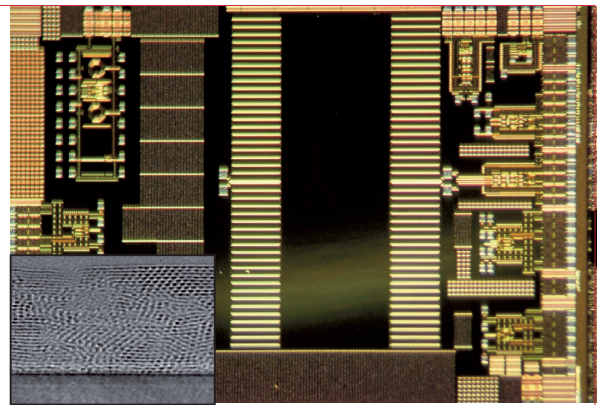


インターコネクト技術の研究
Advanced Interconnect Technology

教授 吉川公麿
Prof. T. Kikkawa

LSIチップ内やチップ間的高速信号伝送のための新しいコンセプトの次世代配線技術を開発している。研究テーマは低誘電率層間絶縁膜、低損失高誘電率膜、アンテナによる電磁波ワイヤレス配線、インダクタによる磁気結合配線、アンテナ集積化CMOS回路等である。

A new concept of interconnect technology has been developed for intra- and inter-chip signal transmissions. The research themes are low-k dielectric films, low tan δ , high-k dielectric films, antenna for wireless interconnect using TEM wave, magnetic coupling by inductors and antenna integrated CMOS transceiver design.



アンテナ搭載180nmCMOS送信回路と自己組織化周期構造ポーラスLow-k絶縁膜の断面TEM写真
180nmCMOS transmitter circuits with Si integrated antennas. Transmission electron microscopy of periodic porous low-k dielectric film.

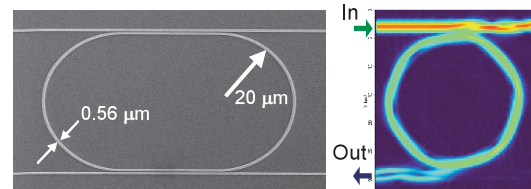
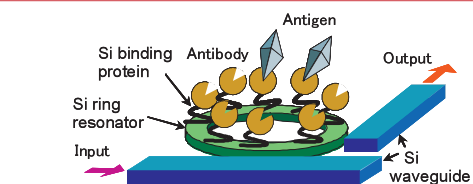


ナノバイオ融合デバイスの研究
Nano-Bio Integration Devices

教授 横山 新
Prof. S. Yokoyama

シリコン光リング共振器を用いたバイオセンサーの研究を行っている。配向したシリコン結合プロテインと急峻な共振特性により高い検出感度が得られる。歪みシリコンの電気光学効果を用いれば、光配線LSI用の光変調器に応用できる。

Bio-sensors using Si ring optical resonator are under investigation. Arranged silicon binding protein and sharp resonance characteristics result in high sensitivity. Electro-optic effect of strained Si with ring resonator is applicable to the optical modulator for on-chip optical interconnection in high performance Si LSI.



上: Siリング共振器を利用したバイオセンサー
下: 製作したSiリング共振器と共振時光強度分布の例 (シミュレーション)
Top: Bio-sensor using Si ring resonator
Bottom: Fabricated Si ring resonator and an example of simulated light-intensity distribution



トランジスタにおけるキャリア輸送の測定・解析とモデルHiSIMの研究・開発

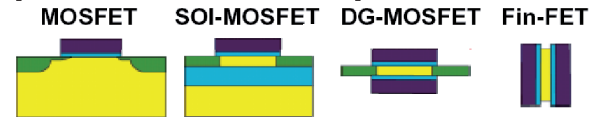
Measurements and Analyses of Carrier Dynamics in Transistors, and Development Research of Transistor Model HiSIM

教授 三浦道子 (併任) Prof. M. Miura-Mattausch

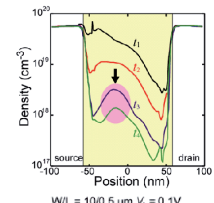
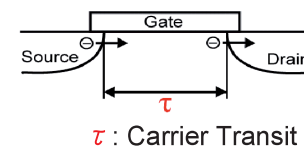
極限デバイスにおけるメソスコピックキャリア輸送の測定と、RF電気応答シミュレーション・回路設計手法の確立、及び生体応用にむけた極微小電流制御を可能にする次世代デバイスの研究。

Measurement of mesoscopic carrier transport in ultimately small devices and development of simulation models for their electric response aiming at investigating device feature in circuits, and development of next generation devices for ultimate electrical control.

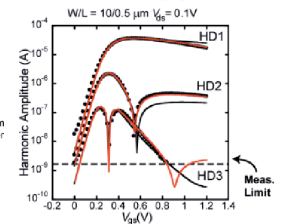
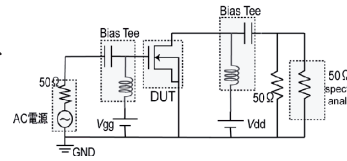
[Different Device Structures]



[Carrier Dynamics]



[RF Characteristics]



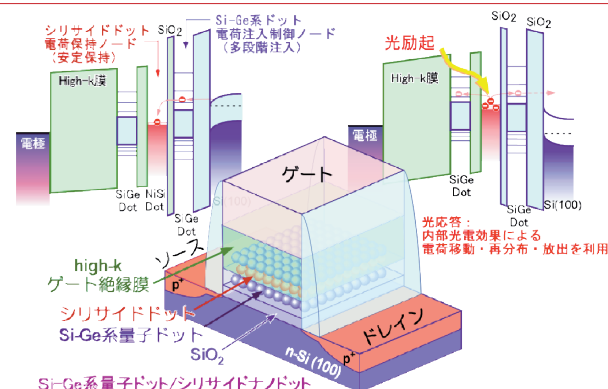
シリコン系量子ドットおよび高誘電率絶縁膜の物性制御と新機能MOSデバイス応用

Processing and Characterization of Si-based Nanodots and High-k dielectrics, and Their Application to Novel Functional MOSFETs

教授 宮崎誠一 (併任) Prof. S. Miyazaki

Si MOSデバイスの機能レベルでの進化を目指し、Si系半導体量子ドット、金属シリサイドナノドットや高誘電率絶縁薄膜を活用する為の材料・プロセスインテグレーション技術の開発と、これに基づいて少数電子・光子により室温・機能動作するMOSデバイスの開発を進めている。

Si-based semiconductor quantum dots, metal silicide nanodots, high-k dielectrics and their process technologies have been studied intensively to develop novel functional Si devices operating with a few electrons or photons over room temperature.



Si-Ge系量子ドット/シリサイドナノドット複合フローティングゲートを利用した光・多値動作デバイス

Energy band diagrams and a schematic device structure of a functional Si MOSFET with a hybrid dots floating gate embedded in a high-k dielectric gate stack, which will lead to multi-valued and photo-sensitive operations at room temperature

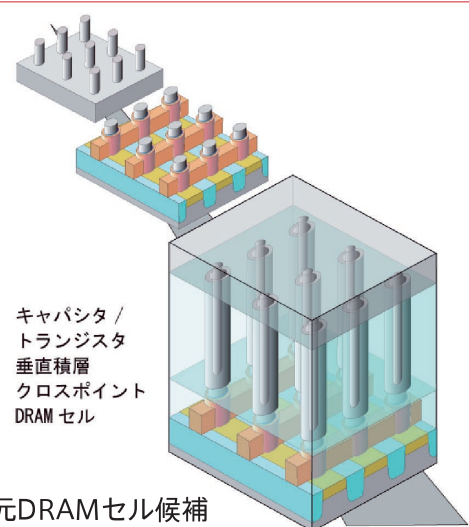


三次元MOSトランジスタの研究
Development of Three-Dimensional MOS Transistor

教授 角南英夫 (特任)
Prof. H. Sunami

将来の有力なDRAMセル候補として想定した縦形のセルトランジスタと蓄積容量の三次元スタック構造に用いる柱状のトランジスタを研究開発している。

Pillar-shaped transistors to be used for three-dimensional (3-D) stack cell consisting of a vertical cell transistor and a storage capacitor have been developed for a cutting-edge cell candidate of future DRAM.



三次元DRAMセル候補
A 3-D DRAM cell candidate

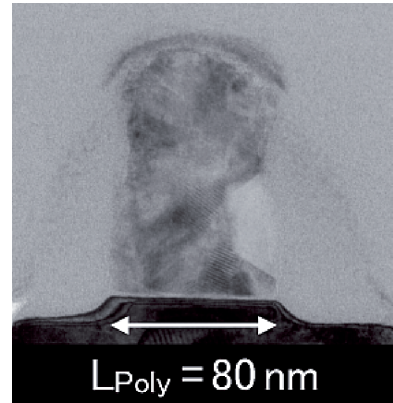


ナノメートルスケールMOSFETの研究
Nano-meter scale MOSFETs

准教授 芝原健太郎
Assoc. Prof. K. Shibahara

短時間アニールや重イオン注入を用いた極浅ソース/ドレイン形成やメタルゲート仕事関数変調技術を中心にナノメートルスケールMOSTランジスタのプロセス・デバイス技術の研究を行っている。

Technologies for nano-meter scale MOSFETs mainly focusing to ultra-shallow junction formation with very short duration annealing and heavy ion implantation and metal-gate workfunction tuning technology are being investigated.



斜め注入Sb極浅接合によるゲートオーバーラップ調整を用いた高電流駆動力MOSFETの断面TEM写真
XTEM photograph of high current drivability MOSFET with gate overlap length adjustment by tilt-implanted Sb ultra-shallow junctions

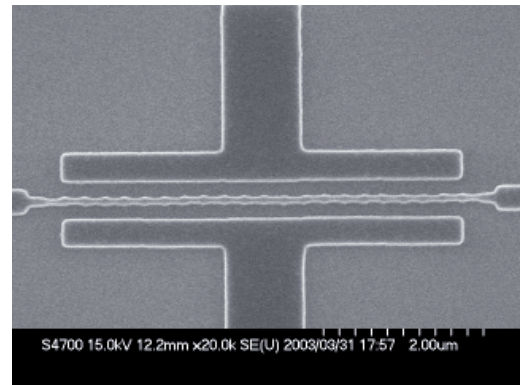


ナノサイズ新機能デバイスの研究
Nanometer-size New Functional Devices

准教授 中島安理
Assoc. Prof. A. Nakajima

微細加工技術を駆使してナノメートルサイズのワイヤやドットを作製し、それを用いた単電子トランジスタ、量子効果デバイスやバイオセンサー等の新機能デバイスの研究を行っている。

Utilizing LSI fabrication process, nanometer-size Si wires and dots are fabricated. New functional devices with the Si wires and dots such as single electron transistors, quantum effect devices, and bio-sensors are studied.



多重Siナノサイズのワイヤ及びドットを有する単電子トランジスタのレジスタパターン

Schematic of a single electron transistor with multiple nanometer-size Si wires and dots



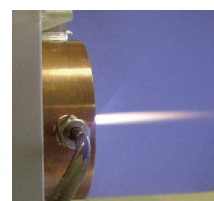
熱プラズマジェット照射ミリ秒熱処理および非接触温度測定技術の開発とデバイス応用

Millisecond Rapid Annealing Induced by Thermal Plasma Jet Irradiation, Non-contact Temperature Measurement, and Their Application to Device Fabrication

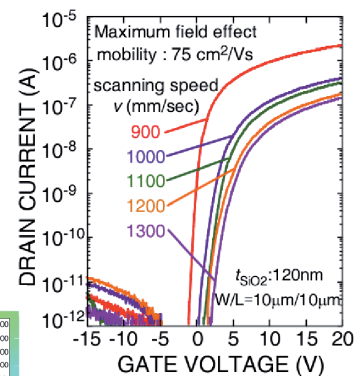
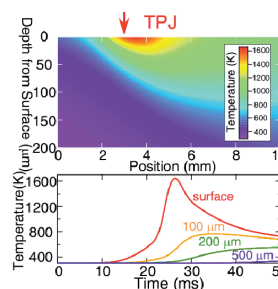
准教授 東清一郎 (兼任) Assoc. Prof. S. Higashi

低耐熱性基板上への高品質TFT作製およびMOSFETの極浅接合形成を意図し、熱プラズマジェット照射によるミリ秒熱処理技術と非接触温度測定技術に関する研究をおこなっている。

For fabrication of high performance TFTs on low heat-resistant substrates and shallow junction formation in MOSFET, we study millisecond rapid thermal annealing induced by thermal plasma jet irradiation and noncontact temperature measurement technique.



Thermal Plasma Jet



熱プラズマジェット結晶化poly-Si膜を用いたTFTの I_d-V_g 特性
 I_d-V_g characteristics of Poly-Si TFTs fabricated by Thermal Plasma Jet crystallization

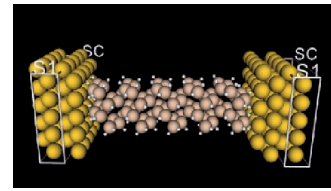


ナノデバイスのモデリング
Modeling of
Nano Scale Semiconductor Devices

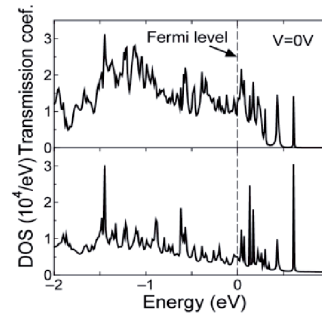
准教授 江崎達也 (併任)
Assoc. Prof. T. Ezaki

ナノスケールの半導体デバイスの電気伝導現象を解析し、微細デバイスにおける電子状態および電気伝導の物理モデルの研究と、バイオセンサデバイスへの応用を目指している。

Carrier transport of nano scale semiconductor devices is studied in order to model electronic states and transport in small devices. The developed model will be applied to bio-sensor devices.



金電極で挟まれたSiナノワイヤデバイス
Si nano wire device with gold electrodes.



Siナノワイヤデバイスの電子の透過係数と状態密度
Transmission coefficient and density of states (DOS) of Si nano wire device

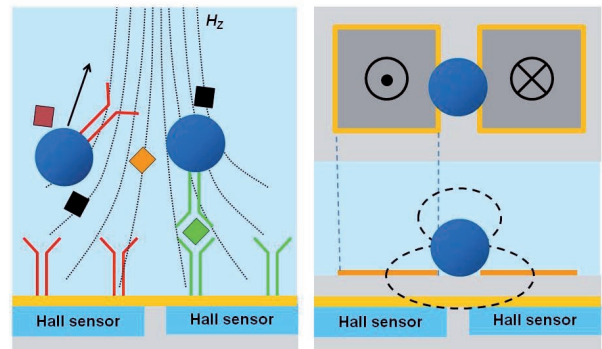


磁気微粒子を用いた付着力測定研究
Affinity measurement of
super-paramagnetic beads on LSI chips

准教授 石川智弘 (特任)
Assoc. Prof. T. Ishikawa

免疫反応を始めとした、さまざまな生化学反応を検出するため、液体試料に分散した磁気微粒子を、集積回路上で操作し、表面への付着力の測定をする。チップの上ですべての処理が完結するよう、ワンチップ化を目指している。

Affinity of super-paramagnetic beads can tell various biochemical reactions. Monolithic integration is undergoing to fabricate a chip which utilizes on-chip coils, drive magnetic beads and measures affinities. The aim is to complete all the procedures on it.



シリコンチップ上での磁気微粒子操作の例
Handling of super-paramagnetic beads on Si chips



ゲルマニウム/ゲート絶縁膜界面の研究
Study of Gate Dielectrics/ Ge Interfaces

助教 村上秀樹 (併任)
Assist. Prof. H. Murakami

高移動度チャネル材料としてゲルマニウムを用いた次世代MOSトランジスタの実用化のために、良質なゲルマニウム/ゲート絶縁膜界面の形成および物性評価を行っている。

To further improvement of MOSFET, germanium is potential solution as an alternative channel material with high carrier mobility. For the implement of MOSFET with germanium channel, we focused on the formation and the characterization of germanium/gate dielectrics interfaces.



最大級(半径:300mm)の分光器を有するX線光電子分光分析装置
X-ray photoelectron spectroscopy with largest scale spectrometer (r=300mm)

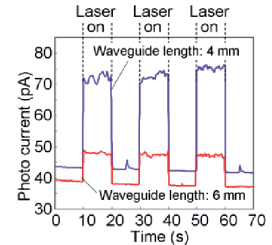
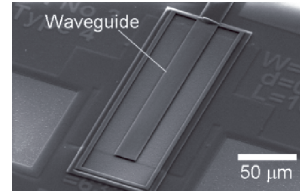
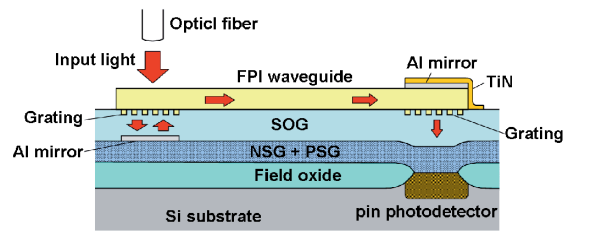


バイオセンシング用素子の開発
MOS Transistor for bio-sensing device

助教 田部井哲夫 (特任)
Assist. Prof. T. Tabei

これまで主に光配線LSIの実現を目指した光導波路の研究を行ってきた。半導体バイオプロジェクトでは、バイオセンシング用MOSTランジスタの研究を行っている。

Optical waveguide for optically interconnected LSI application has been mainly studied. In the SBI project, MOS transistor for the bio-sensing device is being developed.



pin受光素子と光導波路のモノリシック集積
Monolithic integration of pin photodetectors and optical waveguides

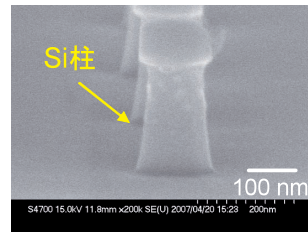


三次元MOSデバイス・プロセスの研究開発
Three-Dimensional MOS devices and Processes

助教 奥山 清 (特任)
Assist. Prof. K. Okuyama

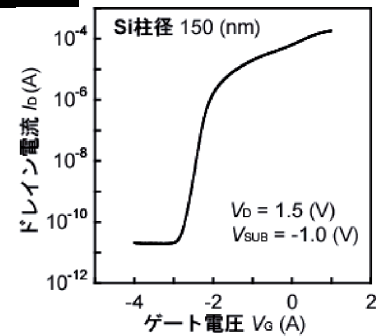
VLSIの面積効率及びデバイス特性制御の観点から三次元構造MOSデバイスとその製造プロセスの研究を行っている。現在は将来のDRAMセルに用いる縦形柱状トランジスタの研究開発に取り組んでいる。

Three-Dimensional MOS devices and their processing have been investigated in terms of area efficiency of VLSI and device-characteristics. Pillar-shaped vertical transistors for future DRAM cell have been developed at present.



縦型トランジスタ作成のために形成されたSi柱のSEM像
SEM images of fabricated Si pillar for vertical transistor.

試作した柱状縦型トランジスタの電気特性
Characteristics of a fabricated pillar-shaped vertical transistor



研究所前道路 並木紅葉